

# 万兆以太网物理层解码电路设计

费瑞霞, 朱恩, 赵文虎, 王志功

(东南大学射频与光电集成电路研究所, 210096, 南京)

[摘要] 采用 0.18 μm CMOS 工艺设计了万兆以太网 10 G BASE-R 标准的物理层电路芯片. 该芯片接收 16 路 644.53 Mb/s 的并行数据, 输出 72 路 156.25 Mb/s 的并行数据. 电路采用并行处理方式.

[关键词] 64B/66B 码, 解码, 并行处理方法, 解扰器, 同步

[中图分类号] TN722.7, [文献标识码] A, [文章编号] 1672-1292-(2003)04-0075-04

## 0 引言

以太网技术已经过了 3 个发展阶段, 即以太网阶段、快速以太网阶段和千兆以太网阶段. 目前, 万兆以太网标准也已建立. 万兆以太网继承以前的以太网技术, 采用 IEEE 802.3ae 媒体访问控制 (MAC) 协议、帧格式和帧长度, 不仅大大提高了工作速率, 而且适用范围也有了很大变化. 与原来的以太网相比, 主要特点表现在: 物理层实现方式、帧格式和 MAC 的工作速率及适配策略方面.

万兆以太网可作为局域网, 也可作为广域网使用. 这两者之间的工作环境不同, 对于各项指标的要求存在许多的差异. 10 G 局域以太网与传统以太网连接, 广域网与 SDH/SONET 连接. 对于两种不同的使用环境, 万兆以太网物理层采用的编码方式也不同: 10 G BASE-X 采用 8B/10B 编解码方案, 10 G BASE-R 和 10 G BASE-W 采用 64B/66B 编解码方案.

本文按照 10 G BASE-R 标准, 设计了 64B/66B 解码电路. 电路采用 0.18 μm CMOS 工艺.

## 1 万兆以太网物理编码子层电路设计

### 1.1 简介

万兆以太网物理编码子层 10 G BASE-R PCS 对应于 OSI 模型中的物理层. 万兆以太网物理层从上至下包括: 物理编码子层 (PCS)、物理媒质连接子层 (PMA)、物理媒质关联子层 (PMD). 电路实现时, PCS 层解码过程又分成了 3 个小模块, 即同步、误码及同步头监测、解扰器 (descrambler) 和 64B/66B 解码电路.

### 1.2 物理编码子层总体结构

按照协议, 物理编码子层接

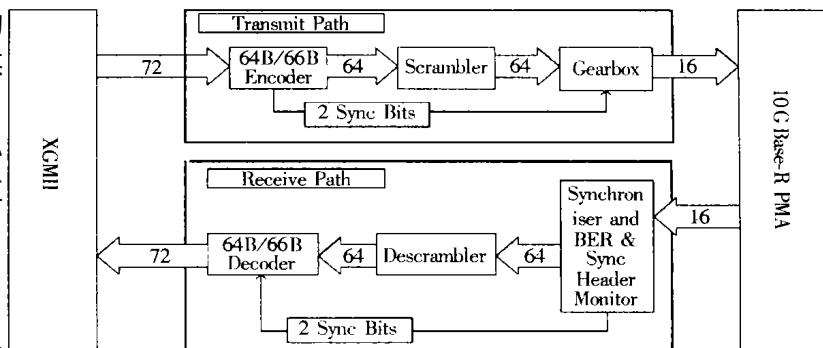


图 1 万兆以太网物理子层总体结构

收稿日期: 2003-09-23.

基金项目: 国家“八六三”计划项目 (2001AA121074) 资助.

作者简介: 费瑞霞, 女, 1979-, 东南大学无线电工程系硕士研究生, 主要从事千兆/万兆以太网物理层上下行接口处理芯片方面的学习与研究.

通讯联系人: 朱恩, 1965-, 博士后, 东南大学无线电工程系教授, 主要从事光电集成电路及超大规模集成电路设计方面的研究.

收端分为:同步、误码及同步头监测、解扰器(descrambler)、64B/66B解码这几个小模块.图1给出了万兆以太网物理编码子层发送和接收数据的完整过程.

### 1.3 同步、误比特率和同步头监测

接收端通过2比特的同步头实现块同步,2比特同步头就是发送端进行64B/66B编码时增加的开销:当发送数据时,同步头为“01”;当发送控制字时,同步头为“10”.因此,可以用2输入的异或门检测.当同步过程实现同步后,误比特率检测过程检测信号质量.当比特错误概率大于 $10^{-4}$ 时,发出失步指示,接收过程需要重新同步.整个同步过程还实现了将输入的16路644.53 Mb/s并行数据转换为66路156.25 Mb/s的并行数据输出.这66路数据的后64路数据送至解扰器解扰,2路同步头不参与解扰.

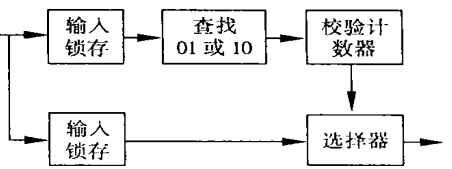


图2 同步框图

### 1.4 解扰器

解扰器实现的功能与发送端的扰码器相反,但是解扰器的特征方程与扰码器的特征方程相同,结构类似.特征方程如下:

$$G(x) = 1 + x^{39} + x^{58}$$

由特征方程知,解扰器的输出只与当前输入及历史输入有关,而与输出无关.这一点区别与扰码器.扰码器不仅与当前输入有关,还与前一刻的输出有关.上述特征方程对应的电路结构如图3所示.

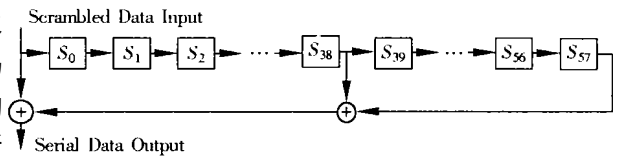


图3 解扰器

由图可见,解扰器可由58个寄存器和2个异或门构成.串行输入数据的比特率为10.3125 Gb/s,如此高速的电路不易实现.另外,这种结构的数据串行输入,串行输出.而解扰器的下层模块是64B/66B解码,接收66路并行数据;其上层是同步模块,输出是66路并行数据.也就是说,解扰器的输入/输出接口数据都是并行的.如果采用上述结构的解扰器,就要经过一次并/串和一次串/并转换.而66/1和1/66的并/串、串/并电路本身也很复杂,不易实现.显然,这种串行结构的方案不可行.本文采用并行结构的解扰器.解扰器结构见图4.这种结构用到的基本单元是寄存器和三输入异或门.寄存器用D触发器实现.D触发器采用的是真单相(TSPC DFF)结构.这种结构具有高速、低功耗和结构紧凑等特点,完全能够满足本电路要求.图4中 $S_0$ 至 $S_{127}$ 是解扰器输入,其中 $S_{64}$ 至 $S_{127}$ 是当前时刻的解扰器输入, $S_0$ 至 $S_{63}$ 是上一时刻的解扰器输入; $D_{64}$ 至 $D_{127}$ 是当前时刻的解扰器输出.因为扰码器和解扰器的特征方程相同,故可用扰码器的输出作为解扰器的输入来验证解扰器是否正常工作,见图5.由图可以看出,解扰器输出只是比扰码器的输入延时了一段时间.

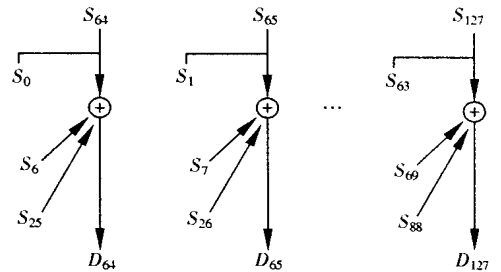


图4 扰码结构图

图4中 $S_0$ 至 $S_{127}$ 是解扰器输入,其中 $S_{64}$ 至 $S_{127}$ 是当前时刻的解扰器输入, $S_0$ 至 $S_{63}$ 是上一时刻的解扰器输入; $D_{64}$ 至 $D_{127}$ 是当前时刻的解扰器输出.因为扰码器和解扰器的特征方程相同,故可用扰码器的输出作为解扰器的输入来验证解扰器是否正常工作,见图5.由图可以看出,解扰器输出只是比扰码器的输入延时了一段时间.

### 1.5 64B/66B解码

64B/66B解码器是万兆以太网物理编码子层中的关键部分.64B/66B解码器首先根据同步头(接收数据的前两比特)确定当前接收的是数据还是控制字,得到8位RXC输出(RXC标识当前接收的是数据还是控制字).如果是控制字的话,再根据块类型区(Block Type Field,接收数据随后的8比特)确定控制字格式.解码输出与XGMII接口.万兆以太网协议IEEE 802.3ae标准中给出了字符码字的变换规则表.电路实现时采用两级ROM的结构.主ROM产生控制信号控制格式的变换.子ROM受主ROM控制,将接收数据转换成规定的格式,以字节为单位,按照以太网帧格式输出.电路中用到了各种组合逻辑门.具

体结构见图 6.

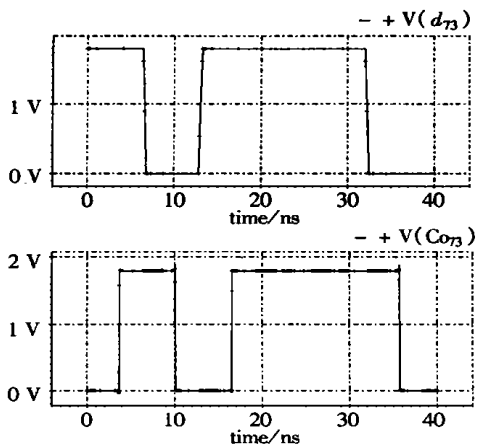


图 5 扰码器输入(上)和解扰器输出(下)

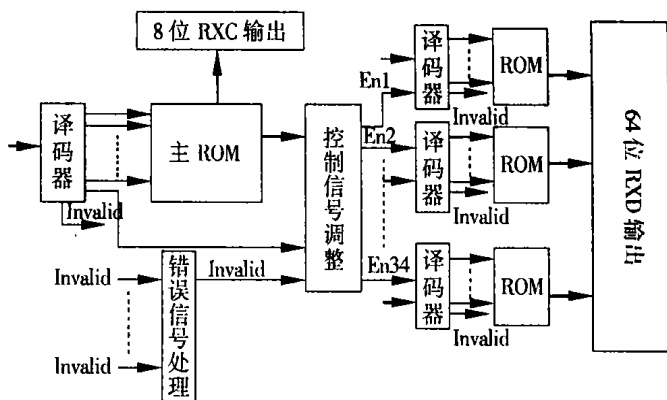


图 6 64B/66B 译码电路

这部分电路先用 Quartus II 做了系统级仿真, 然后又对底层电路用 SmartSpice 做了仿真. 这两种仿真工具侧重点不同. 前者适合作系统级仿真, 明确各模块间的连接关系; 后者适合模块内部逻辑关系的模拟, 并且可考虑关键路径的时延及驱动等问题, 特别是数字电路中经常碰到的由于信号到达不一致引起的毛刺等, 在模拟时可适当加入一些小电路进行补偿. 但是用 SmartSpice 仿真的结果不能以总线形式给出, 而本电路输入/输出数又非常多, 只能给出任意一路示意一下. 考虑到 Verilog 编程语言支持开关级描述, 因此建议可将两者结合. 本电路仿真时, 输入数据是伪随机序列. 输入/输出数据均采用全摆幅 CMOS 电平. 仿真结果分别见图 7 和图 8.

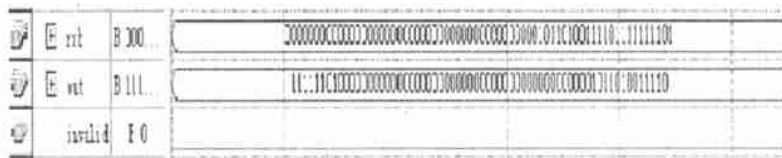


图7 Quartus II 下 64B/66B 解码仿真结果

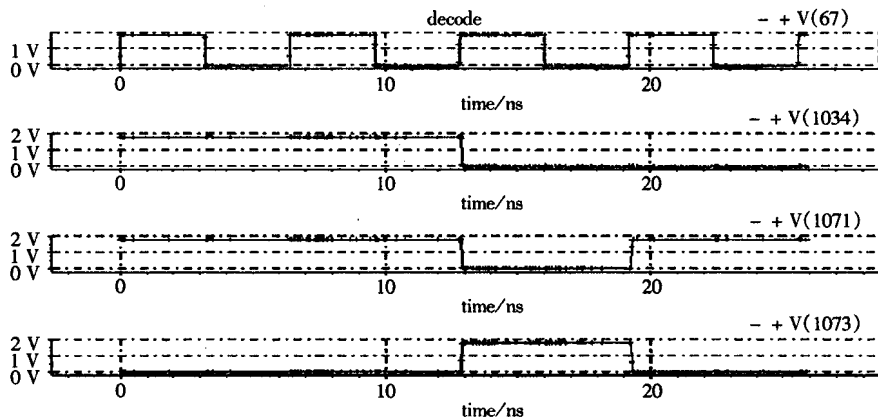


图 8 SmartSpice 下 64B/66B 解码仿真结果

## 2 结束语

整个电路采用了并行处理的编解码方案,用全定制方法,从底层开始设计了万兆以太网物理层解码

芯片,具有逻辑简单、速度快的特点.

### [参考文献]

- [1] 王志功. 光纤通信集成电路设计[M]. 北京: 高等教育出版社, 2003.
- [2] Jan M Rabaey. 数字集成电路设计透视[M]. 北京: 清华大学出版社, 1999.
- [3] 许建生. 万兆以太网实现全网技术统一化[EB/OL]. <http://www0.ccidnet.com/tech/paper/2001/02/14/58-1674.html#>, 2001-02-14.

## The Design of Physical Coding Sublayer Circuit for Ten-Gigabit Ethernet

Fei Ruixia, Zhu En, Zhao Wenhui, Wang Zhigong

(Institute of RF-OE-ICs, Southeast University, 210096, Nanjing, PRC)

**Abstract:** Based on the protocol of ten gigabit Ethernet 10 G BASE-R, the circuit of the physical coding sublayer is designed. The circuit's inputs are 16 644.53 Mb/s parallel data, and its outputs are 72 156.25 Mb/s parallel data. Using 0.18  $\mu$ m CMOS, the circuit is realized in full custom.

**Key words:** synchronize, 64B/66B decode, parallel, descrambler

[责任编辑: 严海琳]

## 关于举办 2004 年动力学、仪器和控制国际会议征文启事

由加拿大机械工程学会、中国机械工程学会、加拿大康考迪亚大学、南京师范大学和南京市科协联合举办的 2004 年动力学、仪器和控制国际会议(CDIC 04)定于 2004 年 8 月 20 日~ 24 日在中国南京召开. 会议将为全球从事动力学、仪器、控制和自动化学科科学研究的科学家、工程师和专业人员, 提供很好的展示和共享他们近期研究成果和创新思想的舞台.

此次会议的主题是:

- |                   |                  |
|-------------------|------------------|
| 1. 复杂系统的建模        | 15. 分散过程系统       |
| 2. 非线性系统和控制       | 16. 自适应和学习控制     |
| 3. 模糊和神经网络系统      | 17. 智能和基于 AI 的控制 |
| 4. 估计和辨识          | 18. 实时控制         |
| 5. 故障检测和诊断        | 19. 嵌入传感器和驱动器    |
| 6. 过程控制和仪器        | 20. 机器人          |
| 7. 柔性制造系统         | 21. 控制应用         |
| 8. 运动控制           | 22. 汽车动力学        |
| 9. 计算机集成制造        | 23. 过程自动化        |
| 10. Petri-nets 应用 | 24. 生产建模和自动化     |
| 11. 微和纳米级系统       | 25. 人机交互         |
| 12. 传感器和变送器       | 26. 智能结构和材料      |
| 13. 数据采集和分析技术     | 27. 振动控制         |
| 14. 哈密尔顿和拉格朗日动力学  | 28. 混合动力学系统      |

为此, CDIC 04 组委会欢迎各位专家就上述主题向会议投稿. 稿件请以英文撰写, 被录用的论文将以光盘发表, 优秀的论文将由世界科技出版社出版发表.

论文投稿截止日期是 2004 年 1 月 30 日. 详见“Call for Paper”和网址: <http://www.me.concordia.ca/~cdic04>. 稿件请从电子文档投至 E-mail: [CDIC04@ME.Concordia.CA](mailto:CDIC04@ME.Concordia.CA).

CDIC 04 中国组委会联系人: 王恩荣(南京师范大学电气与电子工程学院, 电话: 025-85481043, E-mail: [erwang@njnu.edu.cn](mailto:erwang@njnu.edu.cn)).