

一种新结构异步 FIFO 的 ASIC 设计

周磊, 朱礼安, 苏俊杰, 晓磊, 赵梅, 顾皋蔚, 朱恩

(东南大学 射频与光电集成电路研究所, 江苏 南京 210096)

[摘要] 介绍了一种新结构异步 FIFO (First In First Out) 电路的实现方案, 运用整体移位实现数据正确写入和输出, 使用缓冲寄存器组存放移位产生的多余数据, 适用于频率不成整数倍的异步时钟域之间的数据传输. 利用串联的 D 触发器作为同步器, 避免产生亚稳态, 实现异步信号的同步. 采用自顶向下、基于 0.18 μm 标准单元库的半定制 ASIC (Application Specific Integrated Circuit) 流程对其进行设计: 使用 Verilog 硬件描述语言, 利用 VCS 及 Modelsim 进行时序和功能仿真、Synopsys DC 完成逻辑综合、Apollo 实现自动布局布线. 将该方案与传统的异步 FIFO 实现方案进行比较, 面积大约缩小一半, 工作速度提高约三分之一.

[关键词] 异步 FIFO, ASIC, 整体移位, 缓冲寄存器组

[中图分类号] TN432 **[文献标识码]** B **[文章编号]** 1672-1292(2005)02-0014-04

ASIC Design of a Novel Structure Asynchronous FIFO

ZHOU Lei, ZHU Lian, SU Junjie, DING Xiaolei, ZHAO Mei, GU Gaowei, ZHU En

(Institute of RF&OE-ICs, Southeast University, Jiangsu Nanjing 210096, China)

Abstract The paper presents a scheme of realizing novel asynchronous FIFO (First In First Out) structure circuit. In this scheme, unitary shift is used to realize data's correct read-in and output, and buffers are used to store the left data of unitary shift. This design is applicable for data transmission between clocks not in integral multiple. Synchronizer of D triggers in series is used to avoid instability and synchronize asynchronous signals. This circuit is designed with semi-custom ASIC (Application Specific Integrated Circuit) flow which is based on top-down flow and 0.18 μm digital standard cell library. The design uses Verilog hardware language, adopts VCS and Modelsim to simulate, Synopsys DC to realize logic synthesis and Apollo II to achieve automatic placing and routing. Compared with traditional asynchronous FIFO structure, it shows better performance not only on area (with about half acreage) but on speed (one third faster) as well.

Key words asynchronous FIFO, ASIC, unitary shift, buffers

0 引言

现代 IC (Integrated Circuit) 芯片, 设计规模不断扩大, 一个系统往往含有多个时钟. 多时钟域带来的一个问题是, 如何设计由异步时钟同步的数据接口电路. 异步 FIFO 是业界解决该问题普遍方案. 在异步电路中, 由于时钟之间周期和相位完全独立, 因而需要容纳这种频率或相位的差异. 设计一个可靠性高、速度快而且面积小的异步 FIFO 便成为 IC 设计的一个难点.

本设计应用于万兆以太网通讯系统中, 属于物理编码层编/解码芯片电路的子模块. 在编/解码路径中要求 gearbox (变速箱) 将 156 Mb/s 的 66 位低速数据转换为 644 Mb/s 的 16 位高速信号. 这里的读写时钟不仅是异步的, 而且不成整数倍关系, 具有很大难度. 本文提出一种新的异步 FIFO 实现结构, 简化变速箱电路的复杂度.

1 设计方法与流程

变速箱的数据采用并行处理方式, 有一定复杂

收稿日期: 2004-11-12
基金项目: 国家“八六三”计划资助项目 (2001AA121074).
作者简介: 周磊 (1979-), 硕士研究生, 主要从事 ASIC 设计的学习与研究. E-mail: lionchou@163.net
通讯联系人: 朱恩 (1965-), 博士, 教授, 博士生导师, 主要从事混合信号 IC 设计、VLSI 设计等方面的教学与研究.
E-mail: zhuenpr@seu.edu.cn

度,同时工作速率比较高.如果采用模拟电路方式全定制设计电路,工作量非常大而且很难保证完全实现逻辑要求.所以本设计采用业界主流的自顶向下(Top-down)、基于标准单元库(Standard Cell)的ASIC设计流程^[1].根据电路的各项指标要求,用Verilog硬件描述语言对其进行RTL描述,然后进行RTL仿真、功能验证,之后逻辑综合得出门级电路图,进行静态时序分析、版图自动布局布线、反标延迟、后仿真,直至流片.

随着IC规模的不断扩大,自动布局布线逐渐取代手工布线成为主流.为了适应自动布局布线,需要把常用的逻辑单元做成某项尺寸全部相等的标准单元.本设计采用的是ARTISAN公司的TSMC 0.18 μm 标准数字单元库,其中所有单元器件的高度均为 5.04 μm .

2 传统电路及局限性

传统FIFO通常利用双口RAM(Random-access memory)和读写地址产生模块实现^[2].图1给出了传统异步FIFO系统结构图.

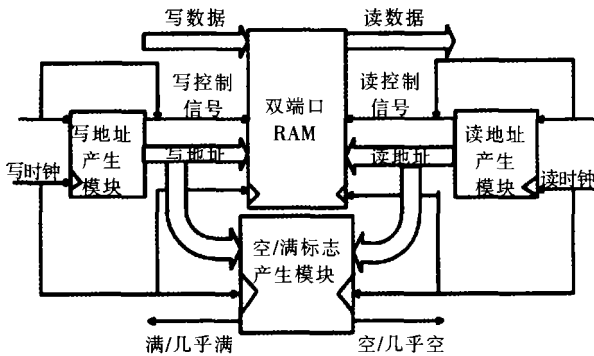


图1 传统的异步FIFO系统结构图

可以看到,在写时钟域部分,写地址产生模块根据写时钟和写控制信号产生递增的写地址;在读时钟域部分,读地址产生模块根据读时钟和读控制信号产生递增的读地址.FIFO的操作如下:在写时钟的有效沿,当写控制信号有效时,将写数据写入RAM中对应位置;始终在读时钟有效沿,将读地址对应的双口RAM中的数据输出到读数据总线上.

为了实现正确的数据读写及避免FIFO的上溢或下溢,通常还加上与读时钟和写时钟同步的空/几乎空标志和满/几乎满标志以禁止读写操作.

根据数据流程图,按照图3的结构搭建电路.其中输入缓冲及同步模块完成输入数据的采样和同步功能,寄存/移位路径控制模块根据控制信号实现寄存数据或移位的选择,存储工具由缓冲寄存器组和主寄存器组构成,输出数据路径控制模块完

本设计要完成的数据匹配是66位和16位,读写时钟周期比为8:33,需要8个写时钟周期(即33个读时钟周期)进行一轮完整的数据转换.前7个写周期中每次均进行4次读操作(对应4个读周期),最后一个写周期完成5次读操作.因为前7个写周期都会有2位剩余数据,经过8次读操作积累为一个完整的16位输出数据,在最后一个写周期末尾送出.传统FIFO结构为了处理这2位剩余信号,采用了528位的RAM(寄存器组)存储一轮完整的转换数据,不仅使面积变得庞大,而且增加了控制信号产生的难度.

3 新结构电路

3.1 数据流程及电路结构

新的方案采用16位的寄存器组成缓冲信号区缓存2位剩余信号,与66位的主寄存/移位寄存器组一起组成82位的寄存单元.信号输入时,每个写周期对主寄存器组进行4次16位的整体移位(对应4次读操作),方向为缓冲信号区;由于剩余数据已经积累完毕,最后一个写周期的末尾(即第33个读周期)不再进行整体移位.

相应地,16位的输出信号与读操作同步,读操作开始输出66位信号的队头16位数据,其后每4个读周期向缓冲区移2位输出,最后一个读周期移位至缓冲区将里面积累的16位剩余信号输出,从而完成一轮完整的数据交换.图2给出了该思路简明的数据流程图.这种方法减少了缓冲寄存器数目(由528个减为82个),降低了FIFO的逻辑复杂度.

成输出数据的移位和选择,经过输出缓冲模块的同步送至输出端.

跟据ASIC设计要求,电路中所有单元尽量使用标准单元;另外在设计中,使用Verilog硬件描述语言对FIFO电路进行结构描述方式编程^[3],该方式的优点是可以直接面对电路的具体结构,便于调试和修改.

3.2 设计难点及解决

新结构电路实现主要有两个难点:一是如何防止产生亚稳态,更好地同步异步信号;二是准确地设计控制信号.

在数字电路中,作为基本时序单元的触发器(寄存器)必须满足启动(set up)和保持(hold)时序要求.如果信号和时钟有效沿之间的时序关系不满足这个要求,输出值是不确定的,而且在未知的

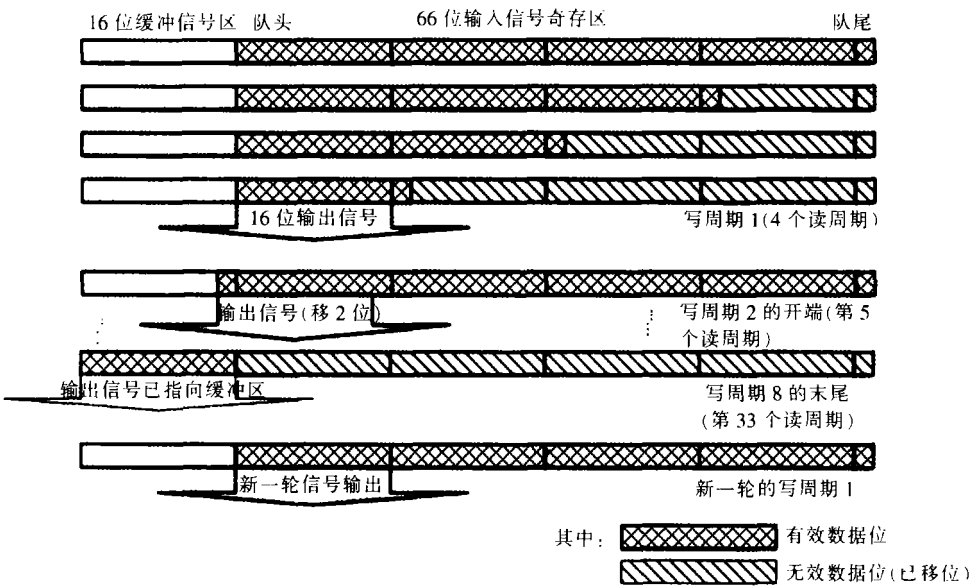


图 2 简要数据流程图

bdat2必定是稳定的,从而也就避免了不稳定状态的扩散.但同步器对输入信号会产生一级延迟,这需要在设计时钟和控制信号时加以注意.

正确产生控制信号也是新结构 FFO 电路实现的关键.从电路结构图可知需要两个控制信号,分别控制输入的移位寄存选择和输出的路径选择.为了简化电路以控制时序,我们用 D 触发器构建一个与读时钟同步的、模 33 的计数器,由计数器的输出组合实现控制信号.由电路结构图可知,两个控制信号间有一级时钟延迟,采用插入 D 触发器的方法来实现.

4 设计与仿真结果

仿真工具采用的是 VCS 及 Modelsim,对控制信号产生电路和整个异步 FIFO 电路分别编写测试向量进行仿真.图 5 给出控制信号及整个电路的仿真波形.可以看到,控制信号能够准确地产生,而整个 FIFO 的工作波形也符合设计要求.整个电路使用了 311 个 D 触发器,电路的逻辑复杂度远远小于传统结构电路,面积仅为后者的二分之一;电路工作速度也提高约三分之一.

电路的后端设计采用 Apollo 自动布局布线工具,封装方式采用 TQFP100 规格.版图核心电路如图 6 所示,其中核心版图面积为 0.8×0.6 (mm^2).

5 总结

本设计采用基于整体移位的方案实现了一种异步 FIFO 的新结构电路,采用 Top-down 方式的半定制 ASIC 设计.仿真结果显示比传统电路有了明显的

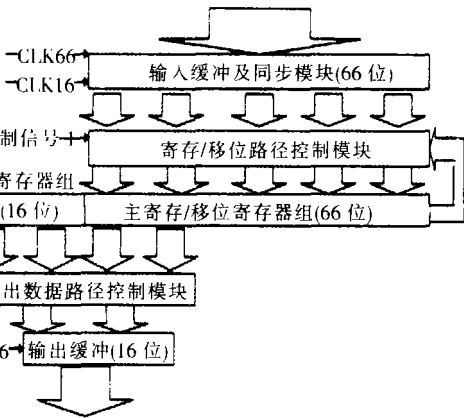


图 3 电路结构框图

时刻会固定到高电平或低电平^[4].这个现象称为亚稳态 (Metastability).在异步电路中,两个时钟域的信号间毫无关联,故异步 FIFO 中亚稳态是不可避免的.

本设计使用同步器作为两个异步域电路间的接口^[5],同步器的实现电路非常简单,为两级级连的 D 触发器 (如图 4 所示).

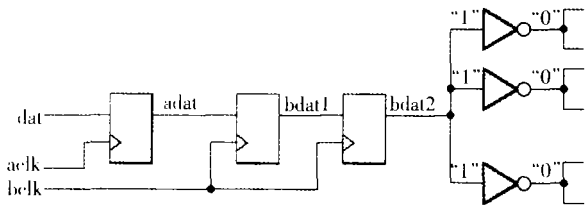


图 4 同步器电路

它的原理是:即使同步器中第一个 D 触发器在时钟 bclk 的上升沿对异步输入信号 adat 采样得到 bdat1 可能有不确定的值,那么在 bclk 时钟域等待一个 bclk 的时钟周期后, bdat1 一定会稳定在一个确定的值,那么同步器的第二个触发器的输出

性能改善,节省了约一半的面积,速度提高约三分之一,可作为异步时钟域数据传输的接口电路。

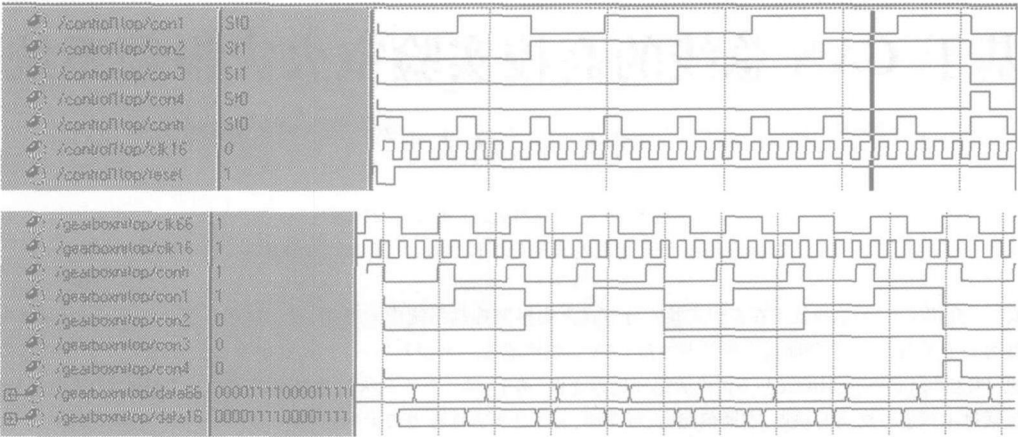


图 5 控制信号(上)及异步 FIFO(下)的仿真波形

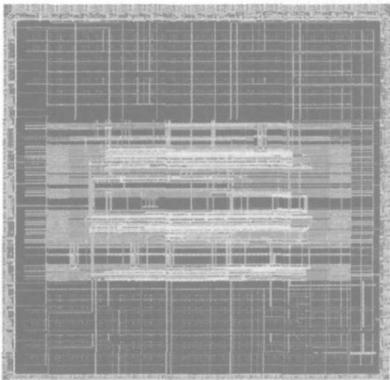


图 6 核心电路版图

[参考文献]

[1] 蒋道三. USB2.0收发器逻辑电路的 ASIC 设计 [D]. 南京: 东南大学, 2003.

[2] 吴自信, 张嗣忠. 异步 FIFO 结构及 FPGA 设计 [J]. 单片机及嵌入式系统应用, 2003 (8): 24- 30.

[3] Michael D Ciletti. Advanced Digital Design with the Verilog HDL [M]. 影印版. 北京: 电子工业出版社, 2004 115- 119.

[4] 杨宗凯. 数字专用集成电路的设计与验证 [M]. 北京: 电子工业出版社, 2004 214- 225.

[5] Clifford E Cummings. Synthesis and Scripting Techniques for Designing Multi-Asynchronous Clock Designs [M]. 3rd Place San Jose CA Voted Best Paper 2001.

[责任编辑: 严海琳]