

级联高增益直接序列扩谱系统的 FPGA 设计

朱秋明, 曹 臻, 徐大专

(南京航空航天大学 信息科学与技术学院, 江苏 南京 210016)

[摘要] 针对直接序列扩谱系统随着扩谱码长增加, 对硬件资源和系统运算速度的要求呈指数增长的问题, 提出了基于 FPGA 的级联方案实现高处理增益直扩系统. 该方案利用两个或多个短伪码序列代替传统的单个长伪码序列进行直扩系统的调制和解调, 相对于传统直扩方案可以大大节省硬件资源和缩短延迟时间. 分析和仿真结果表明, 只需进行合理的分级, 该级联方案性能接近于相同增益的传统单级直扩系统但可以大幅度节省系统开销. 最后利用两级级联方案实现码长为 1024 的直接序列扩谱系统, 并进行了 FPGA 验证.

[关键词] 直接序列扩频, FPGA, 级联, 高增益

[中图分类号] TN914.4 [文献标识码] A [文章编号] 1672-1292(2007)02-0053-05

High-Gain DSSS Cascaded System Design Based on FPGA

Zhu Qiuming Cao Zhen Xu Dazhuan

(College of Information Science and Technology, Nanjing University of Aeronautics and Astronautics, Nanjing 210016, China)

Abstract Along with the length of PN (Pseudo Noise) code in traditional DSSS (Direct Sequence Spread Spectrum) system increasing, the system will need much more hardware resources and much faster computing capability. A new cascaded architecture based on FPGA is introduced to realize high-gain DSSS system. To reduce hardware resources and improve processing speed, this design used two or more short PN code instead of one traditional long PN code to realize modulation and demodulation. Results of analysis and simulation showed if we choose short PN codes reasonably, this cascaded system's performance is close to the traditional single system. But it is much better in hardware resource consumption and searching time. In the end, a DSSS system was finished in FPGA to validate this cascaded design.

Key words DSSS, FPGA, cascade, high-gain

0 引言

扩谱技术能在极低信噪比条件下实现可靠数据通信, 在民用和军事领域都得到了广泛应用. 高处理增益的扩谱系统(如伪码长度为 1024)由于具有更强的抗干扰和低截获能力, 能在低发射功率条件下进行远距离数据通信^[1-4], 将在未来通信系统中得到更广泛应用. 与此同时, 随着数字大规模集成电路特别是可编程逻辑器件(PLD)的发展, 基于 PLD 的数字扩频系统也成为研究热点.

随着扩谱码长的增加, 扩谱系统对硬件资源和系统运算能力的要求迅速增加. 例如对于码长为 1024 的 DSSS(Direct Sequence Spread Spectrum)系统, 采用 Altera 公司新推出的 150 万门 FPGA 芯片(EP20K1500EBC652)也将消耗 50% 的硬件资源. 本文研究如何通过短 PN 序列级联的方案实现扩频和解扩以及如何进行合理分级, 并针对硬件资源消耗、搜索时间和相关特性等指标与单级 DSSS 系统进行性能比较. 最后利用 Altera 公司 20 万门 FPGA 芯片实现等效码长为 1024 的 DSSS 系统.

1 DSSS 系统基本框图

图 1 给出了采用 DQPSK (Differential Quadrature Phase Shift Keying) 调制方式的 DSSS 系统的基本框

收稿日期: 2006-10-19

基金项目: 江苏省国际合作基金(BZ2001036)资助项目.

作者简介: 朱秋明(1979-), 博士研究生, 主要从事数字通信、无线局域网等方面的教学与研究. E-mail: zhuqiuming@nuaa.edu.cn

图^[5]. 发射端信息数据 $input$ 经过串并变换后进行扩频调制和 DQPSK 调制, 调制数据经过 D/A 变换后上变频到射频频段进行发射. 在接收端, 接收信号首先进行下变频和 A/D 变换, 然后利用本地 PN 序列进行解扩和 DQPSK 解调, 最后解调数据并串变换后输出.

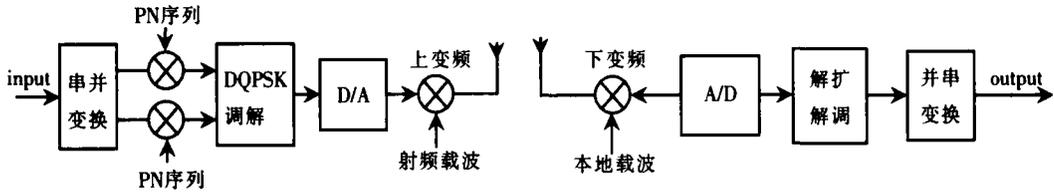


图 1 DSSS 系统基本框图

Fig.1 The basic block diagram of DSSS system

2 级联 DSSS 系统方案

DSSS 系统中伪码长度每增加 1 bit 加法器以及定时器的硬件开销约增加 1 倍. 对于伪码长度很长的高增益 DSSS 系统而言, 硬件开销和延迟时间成为最关键的问题. 本文研究了如何采用两级级联方案降低硬件开销、减少延迟时间, 其原理可以推广到任意级级联.

设扩谱与解扩的两级伪码长度分别为 N_1, N_2 , 则等效长度 $N = N_1 \times N_2$. 图 2 给出级联方案的扩谱实现框图, 它采用两级短 PN 码与基带信息流进行“异或”运算, 这两级 PN 码可以相同也可以不同. 两级 PN 码产生器的工作频率不同, 内级工作在信息流速率的 N_1 倍, 而外级工作在信息流速率的 N 倍, QPSK 调制器的工作频率则为外级的 N_1 倍, 其中 N_1 表示每个码片采样点数.

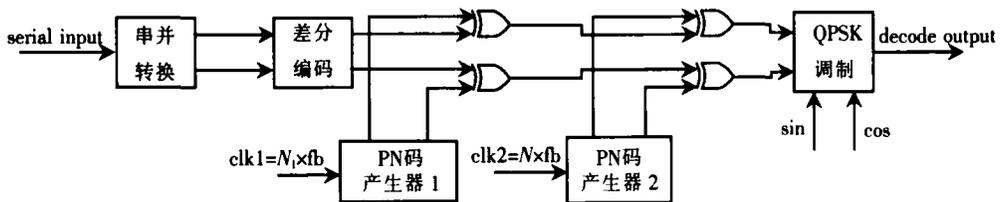


图 2 级联 DSSS 系统扩谱实现框图

Fig.2 Modulation of cascaded DSSS system

接收机的解扩也是两级分别与发射机对应, 实现框图如图 3 所示. 外级解扩相关器的工作频率就是采样速率, 相关输出的数据流送往 $N_1 \times N_2$ 抽选器抽选; 抽选后的速率降为信息速率的 N_1 倍, 送往内级解扩相关器, 相关输出送往相关峰检测单元检测, 判断是否在一个信息元时间 T_b 内有相关峰出现, 如果没有则将发送同步信号给抽选器以通知抽选器调整抽选位置, 直到出现相关峰同步为止. 图 3 中, 鉴频锁相部分是通过 I, Q 两路信号的差分运算来提取频偏以提供误差数据反馈给 NCO 来精确同步采样频率.

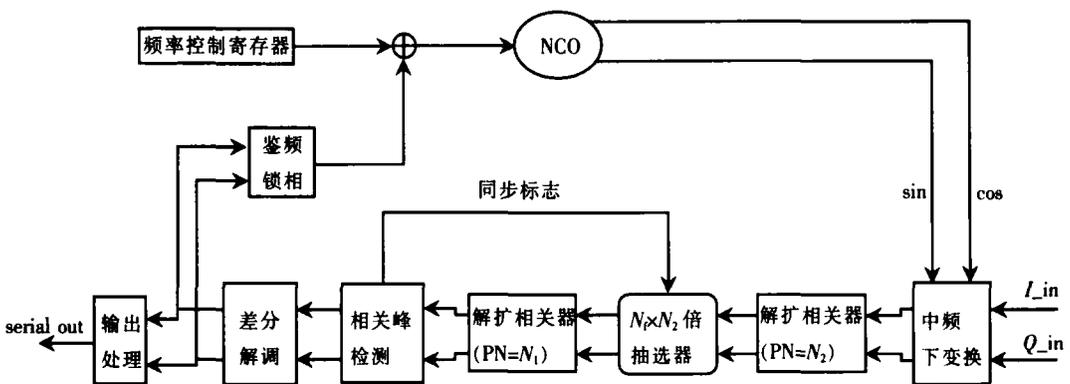


图 3 级联 DSSS 系统解扩实现框图

Fig.3 Demodulation of cascaded DSSS system

3 单级与级联 DSSS 系统性能比较

3.1 硬件资源消耗和延迟时间

假设级联 DSSS 系统的增益等效于伪码长度为 N 的单级系统, 即 $N = N_1 \times N_2$, 其中 N_1, N_2 分别为级联系统的两个相关器伪码长度, 且令 $N_1 = 2^{k_1}, N_2 = 2^{k_2}$, 采样频率为 f_s , 每个码片采样 N_f 点. 设一位半加器需要的资源为 R_b , 一个 D 触发器所需资源为 R_2 , 采样得到的信息流作 L 电平量化.

单级 DSSS 系统所需的延迟器为 N , 级联系统所需的延迟器为 $N_1 + N_f \times N_2$, 则单级 DSSS 系统硬件资源总消耗为:

$$R = R_1 \cdot ((L + 1) \cdot N - \log_2 N) + R_2 L \cdot N. \quad (1)$$

级联 DSSS 系统, 第一级加法器消耗的资源为:

$$R_{\text{add1}} = R_1 \cdot ((L + 1) \cdot (N_1 - 1) - \log_2 N_1), \quad (2)$$

第二级加法器消耗的资源为:

$$\begin{aligned} R_{\text{add2}} &= R_1 \cdot (L \cdot 2^{k_2 - 1} + (L + 1) \cdot 2^{k_2 - 2} + \dots + (L + k_2 - 1)) \\ &= R_1 L \cdot (2^{k_2} - 1) + R_1 \cdot (2^{k_2} - 1 - k_2) \\ &= R_1 \cdot ((L + 1) \cdot (N_2 - 1) - \log_2 N_2), \end{aligned} \quad (3)$$

则两级总消耗资源为:

$$\begin{aligned} R_{\text{add}} &= R_1 \cdot ((L + 1) \cdot (N_1 + N_2 - 2) - \log_2 N_1 - \log_2 N_2) + R_2 L \cdot (N N_2 + N_1) \\ &= R_1 \cdot \left[(L + 1) \cdot \left(\frac{N}{N_2} + N_2 - 2 \right) - \log_2 N \right] + R_2 L \cdot \left[N_f N_2 + \frac{N}{N_2} \right]. \end{aligned} \quad (4)$$

由于 N, L 是给定的设计参数, 上式是关于变量 N_2 的函数, 据此可以求得使 R_{add} 最小时的 N_2 的值. 令:

$$\frac{\partial R_{\text{add}}}{\partial N_2} = 0 \text{ 则}$$

$$\begin{aligned} \frac{\partial R_{\text{add}}}{\partial N_2} &= R_1 \cdot (L + 1) \cdot \left[1 - \frac{N}{N_2^2} \right] + R_2 L \cdot \left[N_f - \frac{N}{N_2^2} \right] \\ &= R_1 \cdot (L + 1) + R_2 L N_f - (R_1 \cdot (L + 1) + R_2 L) \cdot \frac{N}{N_2^2} = 0 \end{aligned} \quad (5)$$

整理上式, 可以得到:

$$N_2(\text{min}) = \sqrt{\frac{N \cdot (R_1 \cdot (L + 1) + R_2 L)}{(R_1 \cdot (L + 1) + R_2 L N_f)}}. \quad (6)$$

这样就得到了当硬件资源占用最小时, 级联 DSSS 系统的分级方案.

式 (6) 只给出了硬件资源占用最小化条件下 N_1, N_2 选取方法, 但是在实际中还应当考虑接收端搜索相关峰带来的延迟.

根据前面的分析, 系统搜索的时间应满足

$$T_b \leq T_s \leq N_1 T_b = \frac{N}{N_2} T_b, \quad (7)$$

所以平均搜索时间为:

$$T_{\text{sa}} = \left[\frac{N}{N_2} + 1 \right] T_b / 2 \quad (8)$$

图 4 给出了平均搜索时间与硬件资源消耗的关系, 实际设计应该根据延迟指标和实现成本来折中考虑 N_2 的取值.

3.2 相关峰特性比较

单级 DSSS 系统, 设相关器量化比特 $L = 3$, 伪码长度 $N = 1024$ 相关峰输出如图 5 所示.

级联 DSSS 系统采用两级相关器解扩, 外级的相关峰输出与单级 DSSS 系统具有相同特性, 只是峰值不同. 内级是对外级抽取若

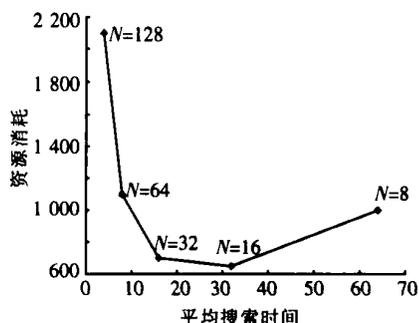


图 4 平均搜索时间与硬件资源消耗关系

Fig.4 Searching time and source consuming relationship

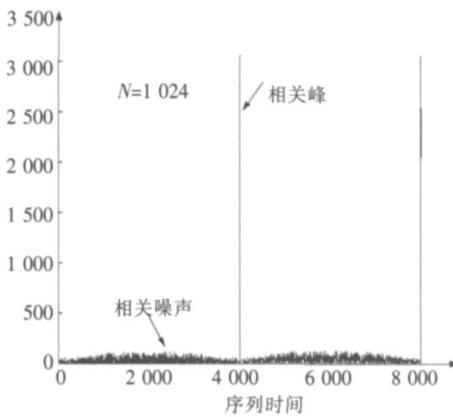


图 5 单级 DSSS 系统 (N=1 024) 相关输出

Fig.5 Correlation output of single system (N=1 024)

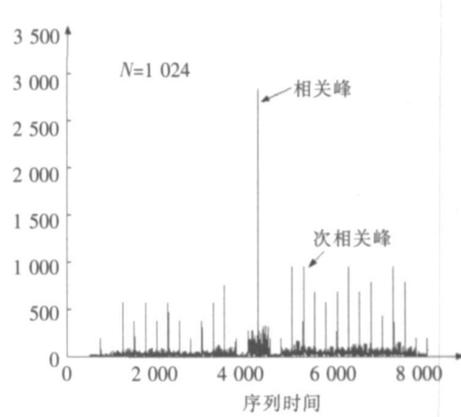


图 6 级联 DSSS 系统第二级相关输出

Fig.6 Second correlation output of cascaded system

干倍后相关,因此在搜索时存在亚相关峰的情况,图 6 给出了等效长度 $N = 1024$ (其中两级伪码长度分别为 $N_1 = 16$ $N_2 = 64$) 的相关峰输出。

比较图 5 和图 6 可以发现,相同条件下单级系统的相关峰输出特性优于级联系统,包括两方面:相关峰值大,级联系统的实际增益为 $(N_1 - 1) \cdot (N_2 - 1) = 945$ 而单级系统实际增益为 $N_1 - 1 = 1023$ 相关噪声小。

由于级联系统中相关峰特性主要由内级相关器决定,所以在选取 N_1, N_2 时,为了使最后的相关峰比较尖锐且易于识别, N_1 因尽可能大一些。

4 FPGA 测试验证

作者针对等效码长为 1 024 的两级级联 DSSS 系统在 Altera 公司 20 万门 FPGA 芯片 (EP20K200EFC484) 上进行了验证。仿真结果如图 7 所示,其中 I_{pw}, Q_{pw} 是相关峰输出, sig_modify 是相关峰检测器给抽选器的同步标志。从图中还可以看出经过两次同步修改达到同步,稳定后相关峰值为 0xA77,这与 Matlab 仿真结果一致。



图 7 级联 DSSS 系统 FPGA 仿真结果

Fig.7 Validation in FPGA of cascaded system

5 结论

基于 FPGA 的 DSSS 系统具有设计方便、灵活的优点,但是由于硬件资源和延迟时间的局限,限制了高增益 DSSS 系统的设计。本文提出了一种级联 DSSS 系统的 FPGA 设计方案,可以大幅度节省 FPGA 的硬件开销和延迟时间,且性能上接近相同增益的单级 DSSS 系统。通过分析和仿真总结了如何依据硬件资源消耗、延迟时间和相关峰特性来选取最佳的分级方法,并利用 Altera 公司的 FPGA 芯片进行了验证。

[参考文献] (References)

- [1] Unavong Sakda. Proposal of adaptive multicode transmission for DS-SS system under ISM interference environments [C] // Asia-Pacific Microwave Conference Proceedings, 1999, 1: 186-189.
- [2] Deholain Catherine, Michel Declercq. A global survey on short range low power wireless data transmission architectures for ISM applications [C] // Proceedings of the International Semiconductor Conference, 2001, 1: 117-126.
- [3] Fuente M. P. Direct sequence spread spectrum radio LANs [J]. IEEE Colloquium (Digest), 1995, 71(4): 41-46.
- [4] Bemer S, DeLeon P. Parallel digital architectures for high-speed adaptive DSSS receivers [C] // Conference Record of the Asilomar Conference on Signals, Systems and Computers, 2000, 2: 1298.
- [5] Rnold Jon. A reconfigurable 100M chip/s spread spectrum receiver [C] // IEEE International Conference on Acoustics, Speech and Signal Processing, 2003, 2: 445-448.
- [6] 龚国辉, 李思昆. 直序扩频信号 PN 码相位的自适应测量算法 [J]. 电子学报, 2006, 34(7): 1325-1328.
Gong Guohui, Li Sikun. Adaptive algorithm for PN code phase measuring of DS/SS signals [J]. ACTA Electronica Sinica, 2006, 34(7): 1325-1328 (in Chinese).
- [7] Polycoros A, Weber C L. A unified approach to serial search spread-spectrum code acquisition-part I & II [J]. IEEE Trans Commun, 1984, 32(5): 542-560.
- [8] Oppenheim A V, Schaffer R W, Buch J R. Discrete-Time Signal Processing [M]. Englewood Cliffs, New Jersey: Prentice-Hall, 1999.
- [9] Win M Z, Scholtz R A. Ultra-wide bandwidth time-hopping spread-spectrum impulse radio for wireless multiple access communication [J]. IEEE Trans Commun, 2000, 48(1): 679-690.

[责任编辑: 严海琳]