

研究简报

TVS引起的LNA阻抗网络失配仿真分析

陈向阳¹, 周敏², 吴子成³

(1. 江苏省产品质量监督检验研究院, 江苏 南京 210007)
(2. 南京师范大学中北学院, 江苏 南京 210023)
(3. 南京师范大学附属中学, 江苏 南京 210003)

在集成芯片内部, 通常已增加独立 ESD 保护电路, 包括 ESD 的分流电路和电源嵌位电路^[1]. 然而这些 ESD 保护电路会对射频 IC 的输入信号产生影响, 造成射频性能下降, 信号丢失^[2-6]. 大量学者不断改进 ESD 保护电路, 来平衡 EMC 性能和 IC 的射频性能, 如尺寸递减的保护电路、利用平行谐振和谐振隔离等^[7-9]. 由于片内保护电路日益复杂, IC 的设计成本不断提高, 在不断优化 ESD 片内保护电路的同时, 可利用的 ESD 的片外防护正成为集成电路 ESD 防护的焦点.

1 TVS引起的LNA阻抗网络失配分析

1.1 LNA 阻抗匹配条件

在高频领域, 达到阻抗匹配指的是高频信号能完整到达负载端, 无反射波, 从而提升增益和能源利用率. LNA 所需的匹配网络大小需根据不同的应用频率来选择, 因此在 LNA 放大器电路与源端和负载端之间需要加入外置式匹配网络. 放大器与源的匹配有两种方式: 以获得最小噪声为目的或以获得做大增益为目的. 一般来说, 绝大多数的射频小信号放大器均是在满足最大增益的基础上优化噪声系数, 以提高能量利用率.

如图 1(a)所示, 放大器的阻抗网络结构分为信号源、输入匹配网络、LNA 放大电路、输出匹配网络及负载 5 部分. 其中, G 为该网络功率增益; Γ 为反射系数, Γ_s, Γ_L 是源端/负载端方向的反射系数, $\Gamma_{in}, \Gamma_{out}$ 为晶体管(或 IC)输入端/输出端方向的反射系数. 图 1(b)所示为 LNA 的电路模型.

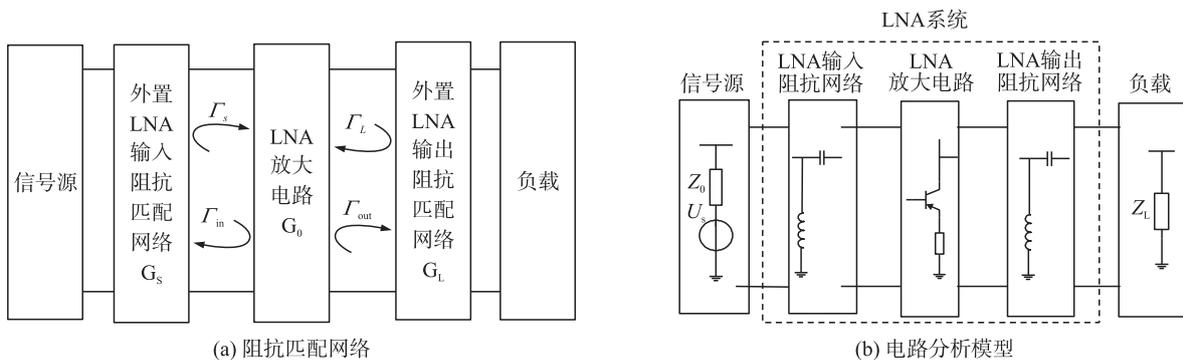


图1 LNA 系统
Fig.1 LNA system

输入匹配网络的功率增益 G_s 可表示为:

$$G_s = \frac{1 - |\Gamma_s|^2}{|1 - \Gamma_s \Gamma_{in}|^2} \quad (1)$$

当放大器输入阻抗与源阻抗共轭匹配时, $Z_{in} = Z_s$, 即 $\Gamma_{in} = \Gamma_s$ 时, 放大器的输入功率为最大.

由于 LNA 晶体管或 IC 的 S_{11} 参数已知, 对于单向且稳定的 LNA, 有 $\Gamma_{in} = S_{11}$, 于是晶体管(IC)与源端

收稿日期: 2015-05-20.

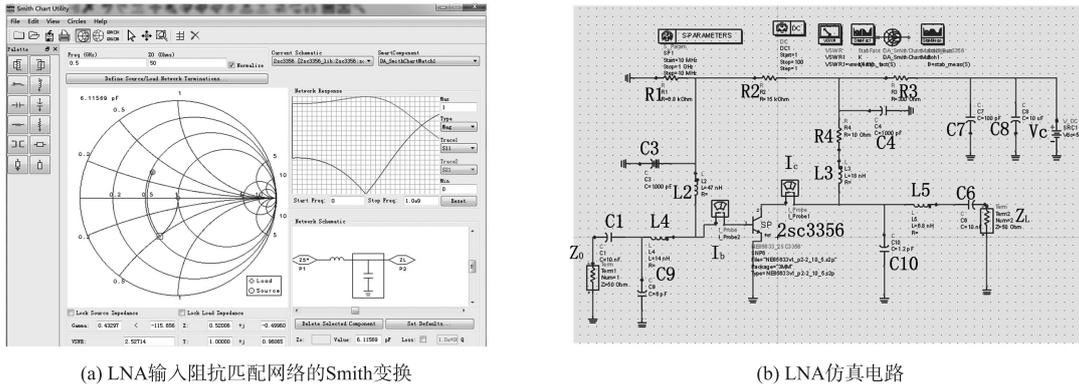
通讯联系人: 陈向阳, 高级工程师, 研究方向: 电工理论与新技术. E-mail: 598549871@qq.com

实现阻抗匹配的条件为: $\Gamma_s = S_{11}^*$. 此时 G_s 达到最大值, G_s 最大值表示为: $G_{smax} = \frac{1}{1 - |\Gamma_s|^2}$.

1.2 TVS管引起的LNA阻抗失配的仿真

本文利用 Advanced Design System(ADS)设计了一种工作频率为 500 MHz 的典型 LNA 前置放大电路. 运放器件采用 2sc3356(NEC85633)晶体管来实现低噪声放大. 仿真中 2sc3356 的静态工作点为: $I_c=12\text{ mA}$, $V_{ce}=3\text{ V}$, 特性阻抗为 $50\ \Omega$. 为提高系统热稳定性, 采用电阻性偏置. 输入与输出端采用 L 型阻抗匹配网络.

ADS 提供了许多的匹配工具, 本文采用 DA SmithChartMatch 进行阻抗网络匹配. 该功能可在 Smith 图中完成源端阻抗变换并自动生成 L 型匹配网络及各参数值. 阻抗变换在 Smith 图中的表示如图 2(a)所示, 可以看出源端插入匹配阻抗网络后, 在 500 MHz 处拥有最大的增益与最小的反射. 仿真的 LNA 电路如图 2(b)所示. 元件参数与功能如表 1 所示.



(a) LNA输入阻抗匹配网络的Smith变换 (b) LNA仿真电路

图2 LNA阻抗匹配网络的仿真

Fig.2 Simulation for LNA impedance mathching network

为了观察 TVS 管对 LNA 工作性能的影响, 本文通过 ADS 对 LNA 电路输入/输出端的 S_{21} 参数和噪声系数进行了仿真. LNA 的应用频率 $f_0=500\text{ MHz}$, 仿真起始频率 10 MHz, 截止频率 1 GHz, 步长 10 MHz. 仿真结果如图 3 所示, 图中的 4 条曲线从上到下分别为无并联电感、并联 $L=1\text{ nH}$ 的电感、并联 $L=2.5\text{ nH}$ 的电感、并联 $L=5\text{ nH}$ 的电感.

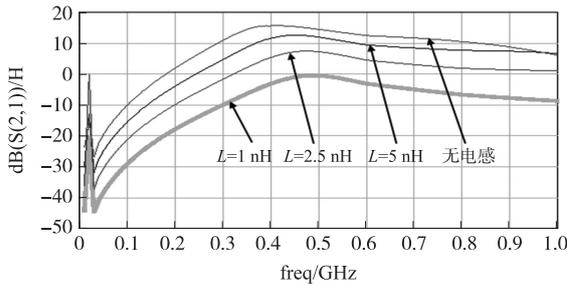


图3 TVS管对LNA阻抗影响的仿真结果

Fig.3 Simulation results of TVS transistor effect on LNA impedance

表 2 列出了在 500 MHz 处不同电感失配程度的比较. 可以看出, $L=5\text{ nH}$ 时, S_{21} 曲线与没有电感时重合. 此时 500 MHz 处增益大于 15 dB, 噪声系数近似 0 dB, 接近阻抗匹配状态. 随着 L 的不断下降, 增益不断减小, 噪声系数不断增大, LNA 的阻抗失配程度越来越严重.

由此可见, 并联电感元件会使增益不同程度下降, 感抗越小, 增益的损失越大. 当电感超过 5 nH 时, 增益和噪声水平基本恢复正常. 其原因是 LNA 的输入阻抗为定值, 当并联元件的感抗越小时, 对其总体的输入阻抗影响就越大. 当 LNA 的输入阻抗发生变化时, 会使在所需频率上的源端与 LNA 放大电路处于不匹配状态, 使 LNA 的工作性能下降或丢失. 同样, 并联电容性元件会呈现反方向的变化.

表1 阻抗匹配网络元件参数与功能

Table 1 Participation and performance of impedance network

元件编号	参数	功能
L4	14 nH	输入匹配
C9	6 pF	输入匹配
C10	1.2 pF	输出匹配
L5	6.8 nH	输出匹配
L2	50 nH	输入匹配, 隔离偏置电路
L3	18 nH	输出匹配, 隔离偏置电路
C3	1 000 pF	输入匹配, 隔离偏置电路
C4	1 000 pF	输出匹配, 隔离偏置电路

表2 TVS管引起的失配程度比较($f_0=500\text{ MHz}$)

Table 2 Compare with LNA impedance network mismatch by TVS transistor

并联电感	S_{21}/dB	噪声系数 NF	匹配分析
1 nH	0.612	1.910	一般
2.5 nH	7.058	0.341	较好
5 nH	11.736	0.092	好
$L(\infty)$	15.029	0.041	很好

2 TVS管对LNA阻抗网络影响的对比实验

本文所用低噪声放大器以LNA的ADS仿真模型为参照,取接近仿真参数大小的元件.输入端接SMA接口,与VNA端口对接.工作频率为470 MHz左右.LNA放大器偏置网络的布局及仿真设计与输入/输出匹配网络相同.在LNA入口处并联TVS抑制管型号为SMBJ6.8A双向.

图4为经VNA测试得到的S参数对比分析.

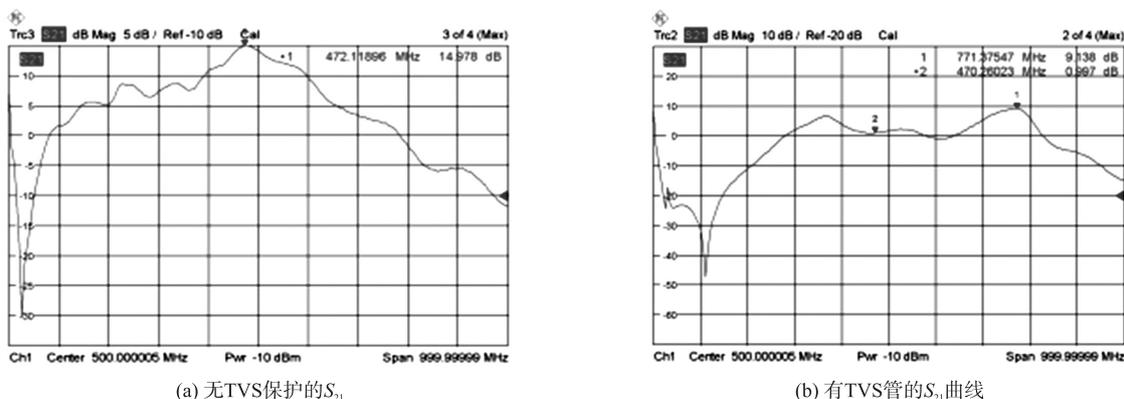


图4 TVS管对LNA阻抗网络影响的对比实验结果

Fig.4 Experiment result of TVS diode effect on LNA impedance

可知,在原频段470 MHz处增益为14.9 dB,使用TVS管保护后,增益下降至接近0 dB.而反射在470 MHz处增大至0 dB,接近全反射.可以断定TVS导致该电路阻抗失配.

表3 TVS管保护前后LNA的S₂₁参数比较(f₀=500 MHz)

Table 3 Comparison of S₂₁ parameters of LNA after TVS tube protection

实验方案	无TVS管保护	TVS管保护	增益性能下降
放大器S ₂₁ (dB)	14.978	0.997	93.33%

3 结论

本文探讨了用TVS进行LNA片外防护过程中TVS负载效应带来的影响,借助ADS仿真软件,设计了一种典型的LNA晶体管电路,并以此为实验对象,评估了TVS对阻抗网络的负载作用.

[参考文献](References)

- [1] ZHOU L,ZHANG S,YIN W Y, et al. Immunity analysis and experimental investigation of a low-noise amplifier using a transient voltage suppressor diode under direct current injection of HPM pulses[J]. IEEE transactions on electromagnetic compatibility, 2014,56(6):1 715-1 718.
- [2] HYVONEN S,JOSHI S,ROSENBAUM E. Comprehensive ESD protection for RF inputs[J]. Microelectronics reliability, 2005, 45(2):245-254.
- [3] GRAZIOSI G,DORIOL P J,VILLAVICENCIO Y, et al. Advanced modeling techniques for system-level power integrity and EMC analysis[C]//Microelectronics and Packaging Conference, 2009. European, 2009: 1-6.
- [4] GONG K,FENG H,ZHAN R, et al. A study of parasitic effects of ESD protection on RF ICs[J]. IEEE Trans Microw Theory Tech, 2002, 50(1):393-402.
- [5] KERAND M D,LEE C M. Interference of ESD protection diodes on RF performance in giga-Hz RF circuits[C]//Proc IEEE Int Symp Circuits Syst, 2003:297-300.
- [6] LUO G X,CUI X. Equivalent circuit parameter estimation and application of TVS electrostatic discharge suppressor [J]. Proceedings of CSEE, 2013, 33(16): 204-211.
- [7] NATIONAL STANDARDIZATION ADMINISTRATION COMMITTEE of CHINA. Electromagnetic compatibility: testing and measurement techniques-electrostatic discharge immunity test: GB/T 17626.2-2006[S]. Beijing: Standard Press of China, 2006(in Chinese).
- [8] LIN C Y,CHU L W, TSAI S Y, et al. Design of compact ESD protection circuit for V-band RF applications in a 65-nm CMOS technology[J]. IEEE transactions on device and materials reliability, 2012, 12(3):554-561.
- [9] KER M D,LIN C Y,HSIAO Y W. Overview on ESD protection designs of low-parasitic capacitance for RF ICs in CMOS technologies[J]. IEEE transactions on device and materials reliability, 2011, 11(2):207-218.

[责任编辑:严海琳]