

基于结构处理的电子设备 ESD 防护方法研究

桑 健, 赵 阳, 高 翔, 李世锦

(南京师范大学电气与自动化工程学院, 江苏 南京 210042)

[摘要] 本文研究了电子设备产生的静电放电抗扰度问题, 针对电子设备结构处理中的孔缝优化方法进行分析, 利用 Matlab/Simulink 建立孔缝机壳屏蔽模型和带孔缝机壳屏蔽接地模型, 通过对模型进行仿真研究, 提出了孔缝优化设计方法. 静电放电防护整改实际案例的测试结果表明, 论文所给方案极大地提高了电子设备静电放电抗扰度等级, 研究结果对电子设备静电放电防护具有一定的工程应用价值.

[关键词] 静电放电, 孔缝, 接地, 静电放电保护, 电磁兼容

[中图分类号] TM461; TN03 [文献标志码] A [文章编号] 1672-1292(2017)04-0001-06

Research on Electrostatic Discharge Protection Method of Electronic Equipment Based on Structure Processing

Sang Jian, Zhao Yang, Gao Xiang, Li Shijin

(School of Electrical and Automation Engineering, Nanjing Normal University, Nanjing 210042, China)

Abstract: In this paper, the problem of electrostatic discharge immunity caused by electronic equipment is studied. Based on the analysis of the holes in the electronic equipment structure, the shielding model of the slotted casing and the shielded grounding model of the slotted casing are established by using Matlab/Simulink. The simulation design of the model is put forward. The results of the two electrostatic discharge protection rectification cases show that the proposed scheme greatly improves the electrostatic discharge immunity level of electronic equipment. The research results have certain engineering application value for electrostatic discharge protection of electronic equipment.

Key words: electrostatic discharge, aperture, ground, electrostatic discharge protection, electromagnetic compatibility

近年来, 半导体集成技术的飞速发展, 半导体集成电路得到了广泛的应用, 促使电子产品日趋微型化、智能化, 但是半导体集成电路中的多数器件对静电放电 (electrostatic discharge, ESD) 极为敏感^[1-2]. 由于 ESD 会产生强烈的电磁辐射形成电磁脉冲 (EMP), 它的电磁能量往往会引起电子系统中敏感部件故障或误动作, 击穿集成电路和精密电子元件. 因此, 需要对电子仪器或设备进行静电防护措施, 主要从工艺结构、机壳、屏蔽、接地、布线、器件选择等方面考虑^[3-5].

国内外研究发现, ESD 是引起电子设备功能性故障的主要因素之一^[6-9]. 因此, 国内专家们高度重视并展开了相关 ESD 问题研究, 尽管如此, 系统性的 ESD 理论以及工程解决方案仍缺乏.

鉴于此, 本文针对 ESD 相关问题, 分析了 ESD 产生机理, 建立了孔缝机壳屏蔽模型和带孔缝机壳屏蔽接地模型并提出了孔缝优化设计方法. 通过将以上措施应用在实际整改案例中, 测试结果验证了方案的有效性和实用性, 从而为产品的设计与整改提供借鉴^[10].

1 ESD 产生机理

ESD 指的是带有不同静电电位的两个物体, 因直接接触或静电场感应引起两物体之间静电电荷发生转移, 即当静电电场的能量达到一定程度之后, 其间的介质被击穿而进行放电现象.

收稿日期: 2017-06-26.

基金项目: 江苏省教育厅高校科研成果产业化推进项目 (JHB2011-20).

通讯联系人: 高翔, 硕士, 实验师, 研究方向: 电气工程. E-mail: gaoliang@njnu.edu.cn

ESD 会产生较强的电磁场,以 ESD 源为中心球状向外散射,距离 ESD 源越近,其场强越强. 因此,在距 ESD 源近的元器件一般会受到较大的影响. 图 1 为一个电压 4 kV 的 ESD 在不同距离上产生的不同强弱程度的电磁场. 由图 1 可见 ESD 产生的电磁场具有上升时间短,上升变化迅速的特点^[11].

2 结构处理的 ESD 孔缝优化设计方法

ESD 通过传导和辐射侵入到设备内部,屏蔽是 EMC 领域中抑制电磁辐射干扰的重要手段,屏蔽罩可以起到屏蔽电磁辐射的作用,而实际的屏蔽罩带有各种孔缝,容易发生电磁泄漏. 因此,研究孔缝接地的 ESD 屏蔽效能,并对 ESD 孔缝进行优化设计具有十分重要的意义^[12].

2.1 孔缝接地对 ESD 防护性能的提高

从静电屏蔽原理中可以看出,对于机箱有孔缝的机壳,单靠屏蔽不能完全屏蔽 ESD 电磁场,常常采用孔缝接地的方式优化屏蔽效能. 良好的接地可以保证电路内部安全可靠地工作,彼此不干扰,同时可以削弱电路的电磁辐射以及对外界电磁场的敏感度,给整个系统提供公共的零电位基准面,同时为高频干扰电压提供低阻抗通道,达到系统稳定工作的目的.

2.2 孔缝优化设计方法

2.2.1 孔缝机壳屏蔽的仿真

为了消除 PCB 电路系统的电磁干扰,一般采用机壳屏蔽的措施,在工程应用中,任何屏蔽都不能对 ESD 电磁脉冲完全屏蔽,屏蔽机壳表面难免会有孔、缝、通风口、信号线进出口等,屏蔽机壳的孔缝会降低屏蔽效能.

带电人体对带孔缝屏蔽机壳放电如图 2 所示,A 点是屏蔽机壳的孔缝,也是机壳上导电间断点,当人体对外壳放电时,A 点容易发生电荷累积,形成高电位,容易对周围敏感电路及芯片造成干扰,人体对带孔缝屏蔽机壳的放电模型如图 2 所示.

借助 Matlab/Simulink 的功能模块,搭建人体对带孔缝屏蔽机壳的放电模型,如图 3 所示. 当充电电容 C_1 和 C_2 的初始电压均为 200 V 时,人体对带孔缝屏蔽机壳放电时的寄生电容的电压波形如图 4 所示,由稳定电压的局部放大图可以看出,稳定电压为 166.7 V.

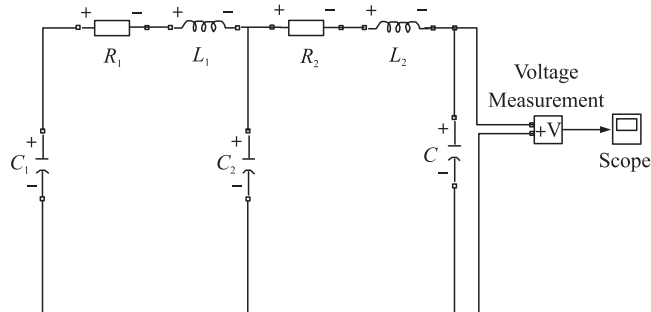


图 3 人体对带孔缝屏蔽机壳的放电模型

Fig. 3 Discharge model of the body with a shielded shell

由图 4 可见,大约在 50 ns 前电压变化幅度较大,50 ns 以后,寄生电容两端的电压趋于恒定,并且持续较长一段时间,此时空间容易产生 ESD 电磁场. 由于寄生电容很小,只有 30 pF,初始放电电压为 200 V 时,外壳对地的寄生电压就高达 166.7 V,如果 C_1 和 C_2 的初始电压为 8 000 V,机壳对地的寄生电压将达到 6 668 V. 若机壳附近有低阻抗 PCB 电路,6 668 V 的电压很容易通过低阻抗电路泄放掉,对电路造成损

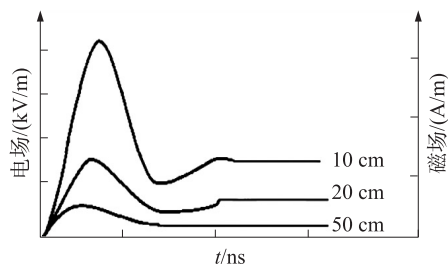


图 1 ESD 产生的电磁场

Fig. 1 Electromagnetic fields produced by ESD

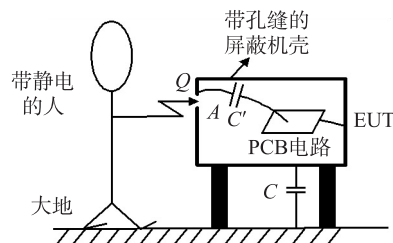


图 2 人体对带孔缝屏蔽机壳放电图

Fig. 2 Discharge diagram of the body through the hole with a shielded shell

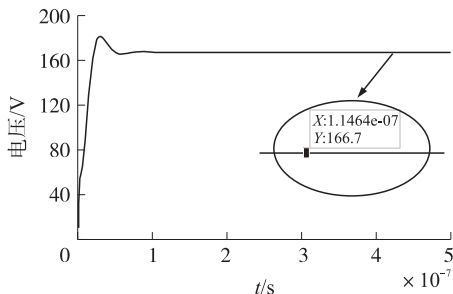


图 4 人体对带孔缝屏蔽机壳放电时寄生电容的电压仿真波形

Fig. 4 Voltage simulation waveform of parasitic capacitance for the body's shielded shell

坏.这时要考虑金属屏蔽外壳接地,将大电流泄放到大地上去.所以习惯上静电屏蔽都要与接地配合使用,才能做到屏蔽的效果.

2.2.2 孔缝优化的仿真研究

人体对带孔缝的屏蔽机壳放电时,机壳对地会产生很高的电压,因此要将屏蔽外壳接地处理.图5所示为接地电路模型图.

地线存在阻抗,阻抗是指导线在交流作用下对电流呈现的阻抗,地线的阻抗主要取决于电感,它是由电感引起的.所以地线的阻抗 Z 是由电阻和感抗组成,用公式可表达为

$$Z = R_{AC} + j\omega L. \quad (1)$$

(1)电阻成分.导体电阻分为直流电阻 R_{DC} 与交流电阻 R_{AC} .由于趋肤效应,交流电流集中在导体的表面,致使实际的电流截面变小,电阻增加.交、直流之间的相互关系

$$R_{AC} = 0.038rfR_{DC}. \quad (2)$$

式中, r 表示导线的半径(cm), f 表示流过导线的电流频率(Hz), R_{DC} 表示导线的直流电阻(Ω).

(2)电感成分.任何导体都存在内电感,内电感与导体所包围的面积无关.对于圆截面导体有

$$L = 0.2S[\ln(4.5/d) - 1]. \quad (3)$$

式中, S 表示导体长度(m), d 表示导体的直径(m).

增大导线的直径对于减小直流电阻是很有效的,但对于交流阻抗,减小能力有限.而在 EMC 中为了实现减小交流阻抗的目的,一个有效的办法就是并联多根导线.例如当两根导线并联时,总电感 L 为

$$L = \frac{L_1 + M}{2}. \quad (4)$$

式中, L_1 表示单根导线的电感, M 表示两根导线之间的互感.

垂直接地极接地电阻 R 为

$$R = 0.366(\rho/L) \lg(4L/d). \quad (5)$$

式中, ρ 表示土壤电阻率(Ω/m), L 表示接地极在地中的深度(m), d 表示接地极的直径(m).

利用 Matlab/Simulink 对接地模型进行建模仿真.该模型中的 L 和 R 分别是地线的交流电感和电阻,可以通过式(2)和式(3)计算得到,本文 L 取 $0.2 \mu\text{H}$, R 取 150Ω .仿真结果如图6所示.

由图6可知,寄生电容的稳定电压只有 1.899 V ,趋近于零,与不接地的屏蔽机壳相比,对带孔缝的屏蔽机壳采取接地措施,可以极大地降低机壳的寄生电压,防止其对内部电路造成损坏.由接地电路的模型可知,带孔隙的屏蔽机壳电压 U 与电容 C 、电感 L 以及电阻 R 有关,随着这些参数值的变化而变化.在工程应用中,可以通过多种方式来改变这些参数.例如,当地线的形状或者尺寸发生改变,电阻 R 和电感 L 也会随之改变,当机壳对地的距离发生改变时,对地电容 C 也随之改变.因此可以通过测量机壳两端电压来评估接地效果的好坏,从而提高设备的抗静电能力,保护内部电路.

3 电子设备 ESD 防护中结构处理的应用

3.1 问题描述

按中华人民共和国医药行业标准(YY-0505-2012),耦合放电应通过 8 kV 的静电放电测试.采用南京炫森电子科技有限公司的静电枪进行 ESD 测试,该款设备(如图7所示)在表面金属部分 4 kV 接触放

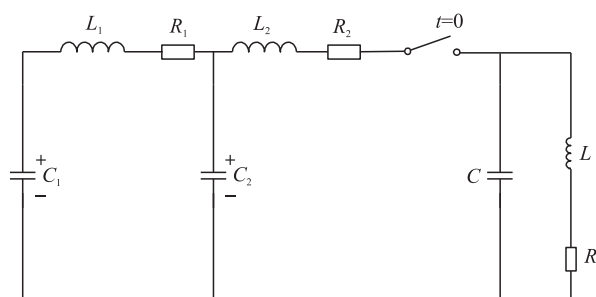


图5 接地电路模型

Fig. 5 Ground circuit model

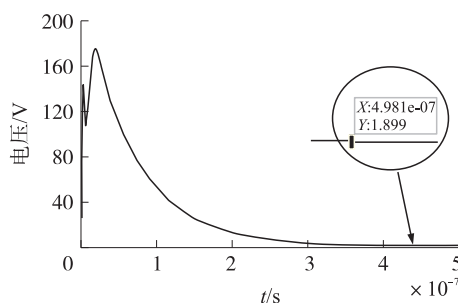


图6 带孔缝屏蔽机壳接地时寄生电容的电压仿真波形

Fig. 6 Voltage simulation waveform of the parasitic capacitance when the casing is shielded with a slotted shield

电和非金属部分 4 kV 空气放电均未通过,几次静电枪放电后显示器上的时间便停止跳动,出现死机现象,如图 8 所示.



图 7 盆腔治疗仪外观图

Fig. 7 Appearance of pelvic therapeutic apparatus



图 8 盆腔治疗仪在 4 kV 放电测试时屏幕死机

Fig. 8 When the pelvic apparatus is tested in the 4 kV discharge test, the screen crashes

3.2 问题诊断与分析

图 7 的外壳为绝缘体,可有效地抑制接触放电,但设备电源进线端存在明显的孔缝,ESD 电磁场可通过孔缝耦合到设备内部. 电路中有很多芯片,但缺乏静电防护措施. 设备的电源线只有两根,无地线. 静电放电时,不能将静电脉冲电流导入大地,也无器件将静电脉冲电流挡在芯片外部,因此通过 ESD 耦合涌入的静电脉冲电流对芯片产生影响,使盆腔治疗仪不能正常工作,在 4 kV 放电测试时屏幕死机,如图 8 所示.

3.3 整改措施

(1) 在结构上采用孔缝接地处理

良好接地可为静电冲击提供良好的电荷泄放通道,使带电体上积聚的电荷可避开敏感器件迅速导入大地. 若将金属外壳接地,则外侧感应出与带电导体等量的电荷将流入大地,金属壳外侧将不会存在电场,相当于壳内带电体的电场被屏蔽了. 根据以上原理,在该设备的内壳处刮去绝缘漆,再用铜箔将金属杆内部地线连接到外壳地,具体措施如图 9 所示,示意图与原理图分别如图 10、图 11 所示.

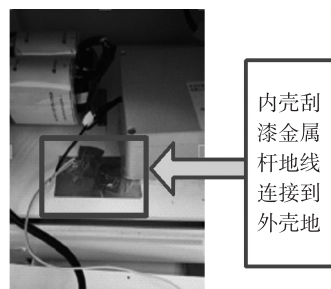


图 9 内壳刮漆金属杆地线连接到外壳地

Fig. 9 The inner shell is connected to the housing ground

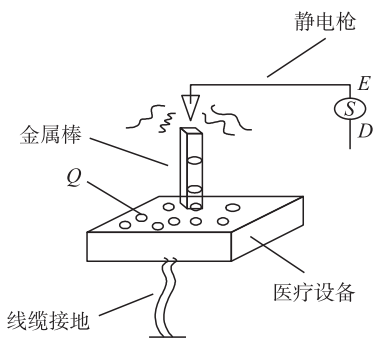


图 10 金属杆连接到外壳地的接地示意图

Fig. 10 A grounding diagram of a metal rod connected to the enclosure ground

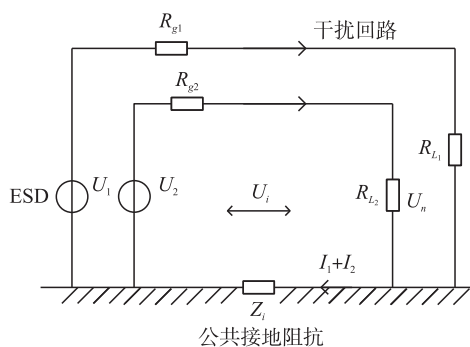


图 11 金属杆连接到外壳地的接地原理图

Fig. 11 Grounding principle diagram of a metal rod connected to the enclosure ground

由图 11,干扰回路和被干扰回路之间存在一个公共阻抗 Z_i ,该公共阻抗上的电压为:

$$U_i = U_1 + U_2 = Z_i I_1 + Z_i I_2. \quad (6)$$

通常由于干扰电流 I_1 过大,故不考虑被干扰回路电流 I_2 ,令 $U_2 = 0$,此时干扰电压可表示为

$$U_n = \frac{Z_i R_{L_2}}{(R_{g1} + R_{L_1})(R_{g2} + R_{L_2})} U_1.$$

(7)

经接地处理后,上式中的 Z_i 被大大降低,从而使干扰电压 U_i 大幅降低,从而达到静电防护的效果. 金属杆接地前后的测试对比如表 1 所示.

(2)对 PCB 板上的敏感区域贴铜膜进行屏蔽

当电磁波被射向一块金属体表面时,其能量强度将由于损耗,不断衰减直至 0. 一旦进入导体表面,导体中将产生一个高频交流电磁场. 电磁波透入金属体的深度主要受其频率及导体的电导率、磁导率的影响. 频率越低、电导率越小,磁导率越小,透入的深度就越深,反之亦然. 根据上述原理将显示器所在 PCB 板上的部分敏感区域用铜箔覆盖,进行屏蔽处理,如图 12 所示.

经过测试,当设备进行如上屏蔽处理后,其空气放电能力提高到了 7 kV,铜箔屏蔽前后,ESD 测试前后对比如表 2 所示,故以上措施有效.

3.4 整改结果

在结构处理上综合采用带孔缝的屏蔽机壳接地和屏蔽这两个措施,在 GB/17626 这个标准下,采用南京炫森电子科技有限公司的静电枪进行耦合放电测试,该盆腔治疗仪通过电压为 7 kV 的接触放电测试,屏幕显示正常. 测试结果对比如表 3 所示.

表 2 对 PCB 板上的时间芯片贴铜膜处理前后的测试对比
Table 2 On the PCB board time chip paste copper film before and after the test comparison

铜箔处理前	铜箔处理后
抗接触放电能力 5 kV	接触放电可提高至 5.5 kV
抗空气放电能力 6 kV	空气放电提高至 7 kV

表 1 接地前后测试结果对比
Table 1 Comparison of test results before and after grounding

接地处理前	接地处理后
4 kV 接触与非接触 放电死机	接触放电可提高至 5 000 V 空气放电提高至 6 000 V

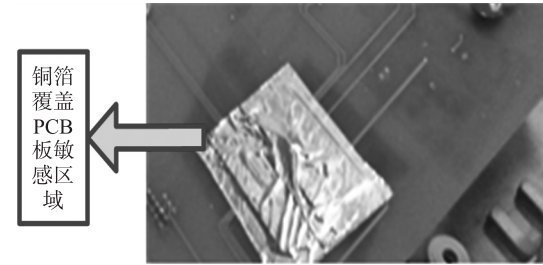


图 12 对 PCB 板上的时间芯片贴铜膜处理
Fig. 12 On the PCB board time chip coated film copper processing

表 3 采用接地与屏蔽措施前后测试结果对比
Table 3 Comparison of ground and shielding measures before and after the test results

接地处理前	接地处理后
4 kV 接触与非接触 放电死机	接触放电可提高至 7 000 V 屏幕显示正常

4 结语

针对 ESD 对电子设备造成的功能性损坏,本文进行了基于结构处理的孔缝优化方法的研究,构建了孔缝机壳屏蔽模型和孔缝机壳接地模型,利用 Matlab/Simulink 对模型进行仿真研究,提出了孔缝优化设计方法. 通过整改案例分析,验证了本文方法的有效性.

[参考文献] (References)

[1] CACCAVO G, CERRI G, PRIMIANI V M. ESD field penetration into a populated metallic enclosure[J]. Electromagnetic compatibility IEEE transactions on, 2002, 44(1): 243-249.

[2] CERRI G, CHIARANDINI S, COSTANTINI, et al. Theoretical and experimental characterization of transient electromagnetic fields radiated by electrostatic discharge (ESD) currents[J]. IEEE transactions on electromagnetic compatibility, 2002, 44(1): 139-146.

[3] 赵阳, 封志明, 黄学军. 电磁兼容测试方法与工程应用[M]. 北京: 电子工业出版社, 2010: 1-12.

ZHAO Y, FENG Z M, HUANG X J. EMC test methods and engineering applications[M]. Beijing: Publishing House of Electronics Industry, 2010: 1-12. (in Chinese)

[4] 赵阳, SEE K Y. 电磁兼容基础与应用(英文版)[M]. 北京: 机械工业出版社, 2006: 1-20.

ZHAO Y, SEE K Y. Fundamental of electromagnetic compatibility and application[M]. Beijing: China Machine Press, 2006: 1-20. (in Chinese)

[5] WANG K, POMMERENKE D, CHUNDRU R, et al. Numerical modeling of electrostatic discharge generators[J]. IEEE trans-

- actions on electromagnetic compatibility, 2003, 45(2):258–271.
- [6] WANG K, POMMERENKE D, ZHANG J M, et al. The PCB level ESD immunity study by using 3 dimension ESD scan system[J]. International symposium on electromagnetic compatibility, 2004, 2(2):343–348.
- [7] LIU H Y, LIN C W, CHOU S J, et al. Current path analysis for electrostatic discharge protection[C]//IEEE/ACM International Conference on Computer-aided Design. San Jose:IEEE, 2006:510–515.
- [8] KER M D, YEN C C. Transient-to-digital converter for system-level electrostatic discharge protection in CMOS ICs[J]. IEEE transactions on electromagnetic compatibility, 2009, 51(3):620–630.
- [9] PAN Z H, HOLLAND S, SCHROEDER D. Understanding the mechanisms of degradation and failure observed in ESD protection devices under system-level tests[J]. IEEE transactions on device and materials reliability, 2010, 10(2):187–191.
- [10] 周星, 魏光辉, 张希军. ESD 辐射场的计算及对传输线的耦合研究[J]. 高电压技术, 2008, 34(4):670–673.
ZHOU X, WEI G H, ZHANG X J. Calculation of ESD radiation fields and coupling of ESD EMP to a transmission line[J]. High voltage engineering, 2008, 34(4):670–673. (in Chinese)
- [11] WILSON P F, MA M T. Fields radiated by electrostatic discharges[J]. IEEE transactions on electromagnetic compatibility, 1991, 33(1):10–18.
- [12] 盛松林, 田明宏, 刘尚合. 改进型偶极子模型的静电放电相关电场计算[J]. 高电压技术, 2002, 28(10):8–9.
SHENG S L, TIAN M H, LIU S H. Electric fields calculation related to ESD based on improved dipole model[J]. High voltage engineering, 2002, 28(10):8–9. (in Chinese)

[责任编辑:陈 庆]