

我国电力芯片设计中的电磁兼容技术综述

刘耀东, 孙 然, 姜文超, 刘 轩, 张 赞

(江苏生产力促进中心, 江苏 南京 210042)

[摘要] 主要分析了电力芯片电磁兼容的国内外发展现状及趋势, 以及我国电力芯片电磁兼容性设计中面临的主要问题. 结合电磁兼容相关理论, 研究了电力芯片的电磁抗扰度和电磁干扰的测试方法及保护措施. 重点论述了电力芯片在设计阶段减小电磁兼容性问题影响的 3 种设计方法. 最后总结了电力芯片电磁兼容标准制定工作面临的挑战与展望.

[关键词] 芯片, 电磁骚扰, 电磁兼容, 检测技术

[中图分类号] TN401 [文献标志码] A [文章编号] 1672-1292(2019)04-0001-07

Summary of EMC Technology in Design of Power Chip in China

Liu Yaodong, Sun Ran, Jiang Wenchao, Liu Xuan, Zhang Yun

(Jiangsu Productivity Promotion Center, Nanjing 210042, China)

Abstract: This paper mainly studies the development status and trend of power chip at home and abroad, and analyzes the main problems in the EMC design of power chip in China. Based on the theory of EMC, the test methods and protection measures of electromagnetic immunity and electromagnetic interference of power chip are studied. This paper focuses on three design methods to reduce the influence of EMC in the design stage of power chip. Finally, the challenges and development of EMC standards for power chips are introduced.

Key words: power chip, electromagnetic interference, EMC, testing technique

1 电力芯片电磁兼容技术发展面临的主要问题

1.1 电力芯片电磁兼容国内外发展现状

目前, 工业化进步带来的电子技术和电气设备迅猛发展, 必然导致电气设备在工作中向周围空间辐射电磁干扰(electromagnetic interference, EMI), 且同时受到外界复杂电磁环境带来的电磁干扰影响, 导致本身及周围设备非正常工作^[1-2]. 尤其对于电气设备的核心器件电力芯片而言, EMI 带来的电磁兼容性(electromagnetic compatibility, EMC)问题, 已经成为制约设备性能提高的瓶颈^[3-5]. 因此, 必须对电力芯片 EMC 领域进行研究, 了解电力芯片产生 EMI 的方式以及如何受到周围电磁环境的干扰, 提高电力芯片的工作可靠性^[6-9].

在 20 世纪 90 年代早期, 芯片的 EMC 设计开始受到社会广泛关注, 但只有美国机动车工程师学会出台相关的标准, 除此之外没有其它的标准化检测方法^[10]. 21 世纪以来, 国际电工委员会制定 IEC61967 标准描述芯片的电磁辐射、IEC62132 标准描述芯片的抗扰度. 我国工信部也制定了 GB 50809-2012 等标准来规范集成电路芯片的检测. 虽然国内外相关机构对电子系统已经有了详细的检测标准, 但对电力芯片的设计来说, 受 EMI 影响的根源还难以发现, 芯片的 EMC 性能很大程度上是随机的, 需要通过保护措施来提高 EMC 性能. 此外, 随着电力芯片尺寸不断减小和时钟频率的不断提高, 其 EMC 问题尤为突出, 使得 EMC 设计工作更加复杂化.

电力芯片技术跟随摩尔定律规律发展, 芯片的性能每隔 1.5~2 年提升一倍. 在技术指标方面, 芯片制

收稿日期: 2019-09-10.

基金项目: 江苏省科学研究项目(BR2019030)、江苏省生产力促进中心青年人才基金项目(D2019004).

通讯联系人: 刘耀东, 硕士, 研究方向: 产业研究. E-mail: 1822628862@qq.com

造技术已经达到 7 nm 量产阶段,台积电 2018 年已实现量产,中芯半导体于上半年突破关键技术可实施生产,韩国三星公司也将不久后实现量产^[11-12]. 然而在电力芯片的 EMC 设计方面,EMI 不容忽视且需要不断改善. 国内的大唐微电子、杭州士兰等专业设计公司正在实现电力芯片 EMC 从逆向设计到正向设计的过渡,目前达到 0.25~0.18 μm 的设计水准,追赶国内先进技术还需不断攻坚克难.

1.2 目前所面临的主要问题

以往 IC 的 EMC 测试是在芯片设计已经完成,甚至芯片已经使用在电路系统之后才进行的. IC 设计过程中的 EMC 指标不能在设计过程中进行评估和优化,设计的芯片往往存在重复设计才能满足 EMC 要求的现象. 因此更优的方案是在 IC 设计过程中就解决 EMC 问题,通过模型来仿真、预测,使得电力芯片满足 EMC 设计.

图 1 为 IC 设计完成之后引入 EMC 分析的流程图,图 2 为 IC 设计过程中引入 EMC 分析的流程图. 第一种方法虽然最后设计的芯片会满足 EMC 指标,但耗费的周期和代价都很高;第二种方法在流片前引入 EMC 仿真,通过这样的设计,电力芯片可最大程度地满足 EMC 指标,避免重复设计耗费的金钱和时间.

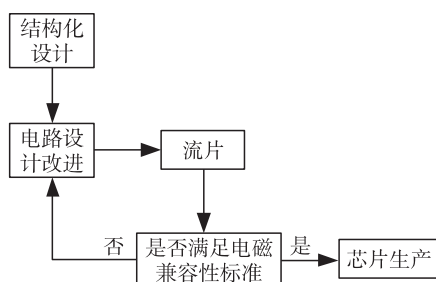


图 1 IC 设计完成之后引入 EMC 分析

Fig. 1 EMC analysis after IC design

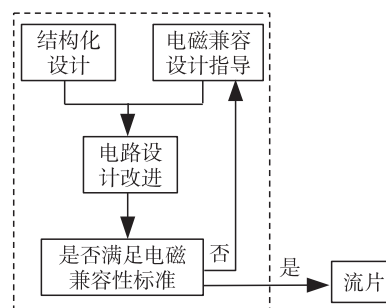


图 2 IC 设计过程中引入 EMC 分析

Fig. 2 EMC analysis in IC design

现代集成电路设计越来越重视芯片成本、功耗、性能等指标,以往设计中不凸显的电源完整性(power integrity, PI)问题已变得越来越明显^[13-14]. PI 尤其是电源传输网络(power distribution network, PDN)的分析与设计已经成为当今高速电路设计中需要解决的重要难题之一.

此外,随着电力芯片集成度和制造工艺不断提高,芯片自身的电磁发射特性会严重影响其工作性能、安全可靠性和环境适应性,与普通消费级芯片相比,电力芯片应具备更高的安全性和环境适应性^[15-16]. 电力芯片需要不间断工作 10 年以上,不经需要承受恶劣电力工业环境影响,还需要遭受西北干燥极寒气候、长江中下游梅雨季和沿海地带的持续高湿度气候以及西部高海拔低气压气候环境考验,因此对电力芯片的可靠性要求极为苛刻,研发设计难度远超普通消费级芯片.

2 我国电力芯片设计中 EMC 典型问题研究

2.1 电力芯片静电放电(electro-static discharge, ESD)分析

随着电力芯片的尺寸减小以及功能逐渐的多样化,ESD 对集成电路的影响以及破坏就愈发的明显,不仅会使电力芯片不能正常工作,甚至对电路产生损伤. ESD 故障目前已成为限制电力芯片可靠性的关键因素之一.

静电放电的电流 $i(t)$ 波形表达式如下:

$$i(t) = \frac{i_1}{k_1} * \frac{(t/t_1)^n}{1+(t/t_2)^n} * \exp\left(\frac{-t}{t_2}\right) + \frac{i_2}{k_2} * \frac{(t/t_3)^n}{1+(t/t_4)^n} * \exp\left(\frac{-t}{t_4}\right). \quad (1)$$

式中, t_1 、 t_2 、 t_3 、 t_4 为波形上升和下降时间; i_1 、 i_2 为电流; n 为迭代次数; $k_1 = \exp\left(-\frac{t_1}{t_2} \left(\frac{nt_2}{t_1}\right)^{\frac{1}{n}}\right)$ 、 $k_2 = \exp\left(-\frac{t_3}{t_4} \left(\frac{nt_4}{t_3}\right)^{\frac{1}{n}}\right)$.

如图 3 所示,是传输线脉冲发生器(TLP),用来测试 ESD 一些基本的参数,这些参数是用来反应其性

能的. 垂直轴是芯片的稳态电流,横轴是芯片的稳态电压,实线是稳态 $I-V$ 曲线,虚线是在每个 TLP 脉冲之后用 DC 电压测量的泄露电流. 从图中可以看出, $I-V$ 曲线存在滞后现象,对电流芯片的电流滞后起着关键作用,其高电流时的小电压可以显著降低热量,使 ESD 防护更具鲁棒性.

采用图 4 所示的保护电路能让电路的 ESD 满足一级要求. TVS 器件利用优化的硅片,由于其内部的 PN 结,该器件可以通过比较大电流,如果连接需要离开 PCB,一般要使用外部装置作进一步的保护.

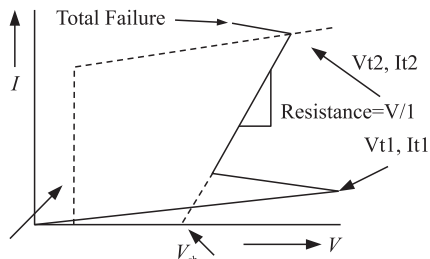


图 3 TLP 测试 $I-V$ 曲线的基本参数

Fig. 3 Basic parameters of TLP test $I-V$ curve

图 5 为 TVS 管曲线图,当反向关断电压升高到与正常工作时的电压比较接近时,会消除部分极小的漏电流和电压漂移,TVS 在瞬态发生之后,会对峰值电压进行限制,将有破坏性的电流转移到被保护电路之外,在电路的工作电压比该二极管的击穿电压低时,它在电路中会给被保护的电路提供一个高阻抗的路径,此时的电流极小. 当 ESD 发生时,TVS 两端电压比较大,很容易大于击穿电压,它就会提供一个低阻抗的路径,使流向被保护元器件的瞬时大电流分流到 TVS 二极管.

2.2 电力芯片电快速脉冲群 (EFT) 分析

EFT 指的是电感性负载在断开/接通的一瞬间,由于开关触点间隙的绝缘击穿或触点弹跳等原因,会产生瞬态脉冲干扰,目前系统级测试环境和方法已经有了成熟的标准,但是芯片级测试环境和标准还未成型.

如图 6 所示,其中 L_0 为回路的杂散电感, R_0 为回路导线电阻, C_0 为回路杂散电容. 在开关断开的瞬间,电感的电流不会突变,流向杂散电容 C_0 的电流会进行反向充电,形成反向电压. 由基本的电路得二阶电路方程,

$$\begin{cases} LC_0 \frac{d^2 u_c}{dt^2} + RC_0 \frac{du_c}{dt} + u_c = 0, \\ u_c(0_+) = u_c(0_-), \\ \frac{du_c}{dt}(0_+) = \frac{du_c}{dt}(0_-) = \frac{U_s}{R}. \end{cases} \quad (2)$$

图 7 是电力芯片受 EFT 干扰时的示意图,左侧是 EFT 发生器,利用 L 、 N 、 G 共 3 根电源线缆,利用图中的 3 种传输方式传到电力芯片中,会对电力芯片的工作特性产生一定的影响.

图 8 电源为脉冲电源,先通过内部电路,产生 EFT 信号,探针再通过电力芯片的管脚,最后到达芯片

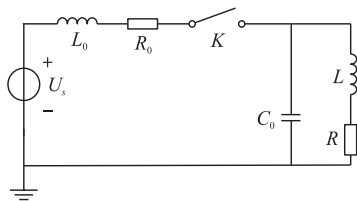


图 6 EFT 生成机理

Fig. 6 Formation mechanism of EFT

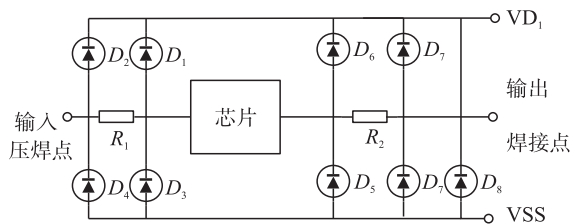


图 4 芯片 ESD 保护网络

Fig. 4 ESD protection network of chip

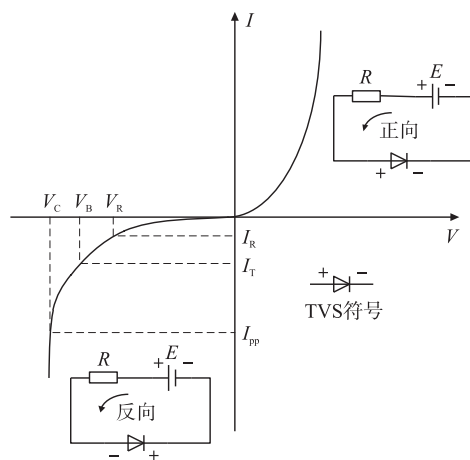


图 5 TVS 管的 $I-V$ 曲线图

Fig. 5 $I-V$ curve of TVS tube

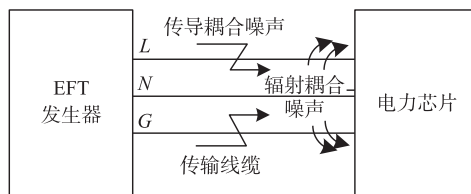


图 7 电力芯片 EFT 干扰

Fig. 7 EFT interference of power chip

的内部. EFT 经过电力芯片的内部,再经过铜盘和底座的连接处,最后到电源,构成一个 EFT 干扰回路. 对于电力芯片的 EFT 干扰,可以通过改变 EFT 信号的注入时机来减小影响.

2.3 电力芯片的传导 EMI 和辐射 EMI 分析

集成电路电磁特性仿真结构如图 9 所示,为计算获得集成电路的电磁特性,将集成电路内部数字电路结构分成内部源(internal activity,IA)、无源线路网络(passive distribution network,PDN)和无源内部耦合(inter-block coupling,IBC)三部分.

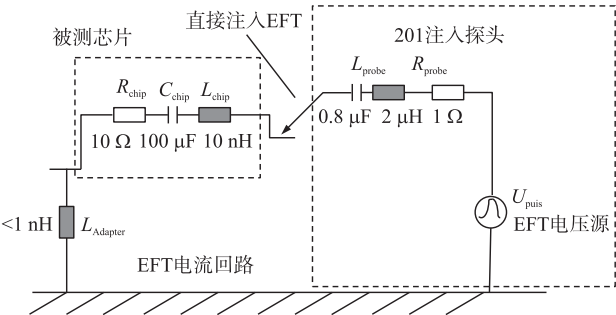


图 8 电力芯片 EFT 测试原理
Fig. 8 EFT test principle of power chip

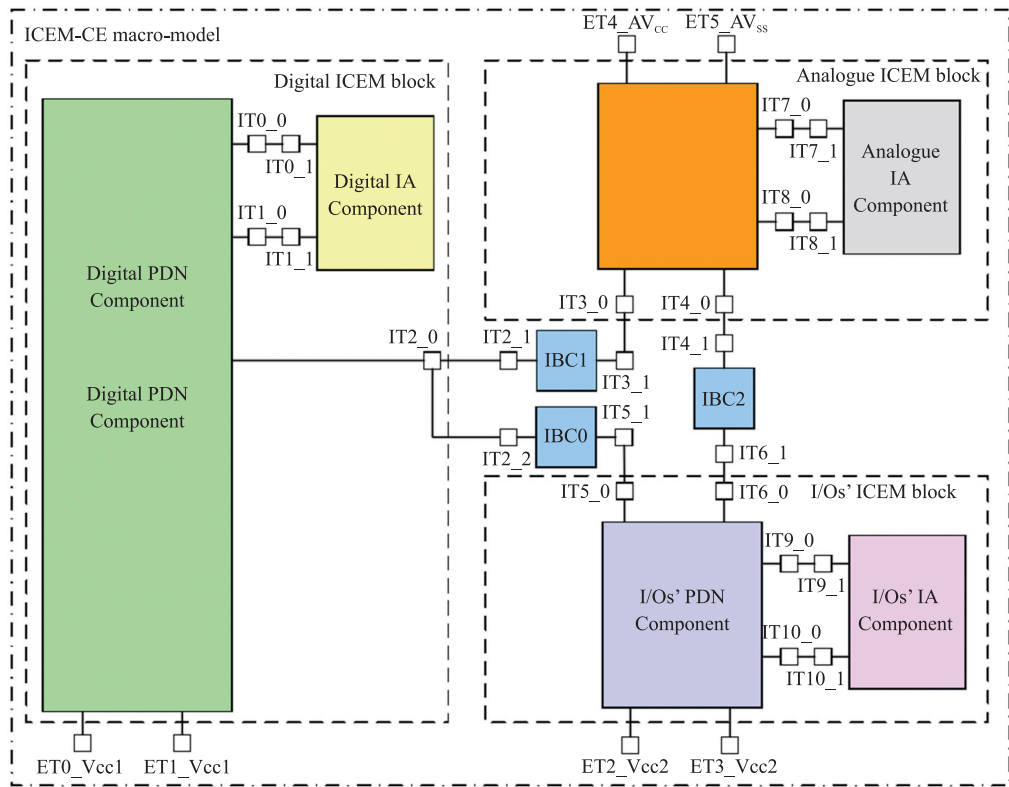


图 9 集成电路电磁特性仿真结构示意图
Fig. 9 Schematic diagram of integrated circuit electromagnetic characteristics simulation structure

根据电力芯片的特点分解内部结构确定 IA-CE、PDN-CE 和 IBC-CE,根据传输线理论分别完善 IA-CE、PDN-CE 和 IBC-CE 的电路模型,共同组成集成电路内部电路模型,对管脚传导电压、电流和散射系数等进行分析. 使用电力芯片内部电路模型无法进行空间电磁场仿真计算,故将芯片内部的耦合路径分解成由电偶极子(极小杆天线)和磁偶极子(极小环天线)组成的芯片电磁场模型.

集成电路内部的电流和电压的快速变化会产生电磁骚扰,并影响集成电路外部输出电流和电压的波

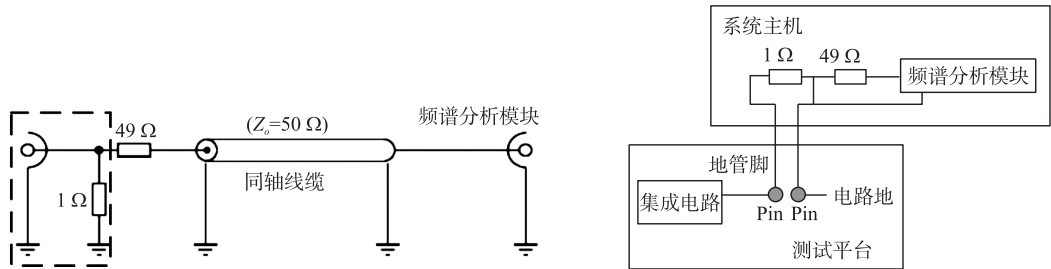


图 10 电力芯片管脚射频电流检测方法
Fig. 10 RF current detection method of power chip pin

形和工作特性. 集成电路的管脚总体可分为电源管脚和信号 I/O 管脚, 射频电流在电源管脚和地线、信号 I/O 管脚和地线之间形成回路, 因此为了评估某个特定管脚的电磁骚扰特性, 有必要对电力芯片管脚的射频电流、射频电压以及电力芯片的辐射电磁场的检测方法加以研究.

(1) 如图 10 所示, 利用电流探头、匹配电阻和频谱分析的射频电流测量模块实现对电力芯片管脚的射频电流检测. 图中的电流探头将连接在电路板的接地端与集成电路接地管脚之间. 为了尽量减小电流探头对集成电路工作特性的影响, 电流探头内阻设置为 $1\ \Omega$. 同时, 为了匹配频谱分析模块等测量设备的输入电阻 $50\ \Omega$, 测量回路中需要串联 $49\ \Omega$ 的匹配电阻. 此外, 频谱分析模块是指系统内部的频谱采集模块, 测量结果可以直接传输至上位机. 在实际使用中, 也可以直接连接外部的频谱分析仪或 EMI 接收机, 此外, 芯片检测前需要利用研制的环境模拟模块预置芯片所处的温度、湿度和气压环境.

(2) 如图 11 所示, 利用阻抗匹配网络和频谱分析的管脚射频电压测量模块, 实现对电力芯片管脚的射频电压检测. 大多数情况下, 当线缆作为辐射天线时, 其辐射天线阻抗为 $150\ \Omega$, 因此, 测量电路阻抗匹配网络的阻抗也应为 $150\ \Omega$. 此外, 考虑到隔离直流、电容随频率的变化特性以及 $150\ \text{kHz} \sim 1\ \text{GHz}$ 的测量频段, 阻抗匹配网络内需要串联 $68\ \text{nF}$ 电容, 从而保证整个阻抗匹配网络在整个测量频段内保持 $145\ \Omega \pm 20\ \Omega$. 此外, 芯片检测前需要利用研制的环境模拟模块预置芯片所处的温度、湿度和气压环境.

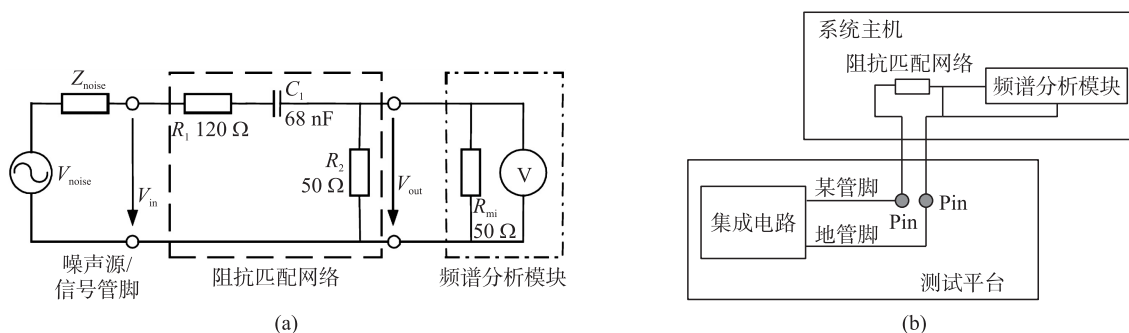


图 11 电力芯片管脚射频电压检测方法

Fig. 11 RF voltage detection method of power chip pin

(3) 如图 12 所示, 利用近场电场天线、近场磁场天线和频谱分析的辐射电磁场测量模块实现对电力芯片的辐射 EMI 检测. 磁场和电场天线可以在位置上任意调节. 图中磁场天线和电场天线并非同时测量. 为了防止天线的耦合, 每次测量时, 仅可以磁场天线或电场天线. 天线系数的校准结果预先保存在上位机中, 并体现在最终测量结果中.

3 电力芯片 EMC 设计策略

对电力芯片电磁兼容性的研究一般从设备、子系统、系统这几个方面研究, 问题解决法是进行电磁干扰整改的方法, 因为会出现大量返工的问题, 所以不常采用此方法. 规范法则是规范每个单独的子系统, 来满足电磁兼容性的要求, 对于这些标准进行计算分析, 经过产品开发人员对 EMC 性能的研究与总结, 提出了系统性解决 EMC 问题的方法, 通过对 EMC 问题进行分析预测, 合理分配 EMC 指标, 从而确保电力芯片达到电磁兼容性的要求.

电力芯片 EMC 建模的方法主要有 3 种.

(1) 第一种是电路级模型, 首先分析电路级建模与仿真流程, 然后通过反向设计的方式对版图进行提取, 根据版图提取出电路的原理图结构, 从而对电力芯片的 PDN 模块进行电路级建模仿真.

(2) 第二种是从全局电学特性出发, 把电力芯片看作“黑匣子”, 测量其端口的电气特性, 提取模型, 该模型不涉及内部构造, 称为行为级模型. 这种模型的代表是缓冲信息规范模型、集成电路端口模型、IC 电磁发射模型等.

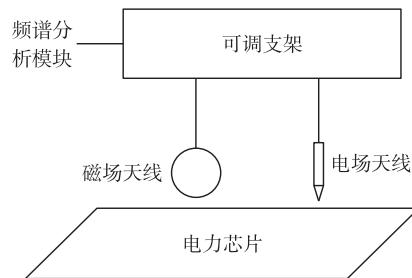


图 12 电力芯片辐射电磁场检测方法

Fig. 12 Radiated electromagnetic field detection of power chip

(3)第三种是芯片级模型,以内部元件为基础,综合各个元件的数学公式得到全局模型,模型结构及模型参数和元件的物理特性有密切联系.其中SPICE模型最典型,其建立在IC基本原器件的工作机理和物理细节上,由模型方程式和模型参数两部分构成.利用模型可以在元器件级别上精确仿真的工作特性、验证系统的逻辑功能.

在电力芯片EMC设计时首先要做功能性检测,检查芯片的EMC指标能否满足要求,之后需要进行防护性设计,里面涉及滤波和屏蔽等,然后是调整电力芯片以及导线的布局等.

(1)工艺和部件的选取

电力芯片的制造工艺大致可以分为单层薄膜、多层厚膜和多层共烧厚膜三种.而其中的薄膜工艺可以生产小尺寸、高电流密度的器件,具有高可靠性和运用灵活的特点,极适合于高速高频的集成电路.

(2)电路布局

在电力芯片EMC设计布局时,主要考虑输入/输出的引脚数、元器件密度和功耗这三个因素.电力芯片与其他器件之间尽量靠近,从而减轻分布参数和相互间的EMI干扰.另外,某些芯片与器件要保持一定距离,输入器件和输出器件也要保证一定距离,将电源和接地均匀的分布,最后是裸芯片贴装区,应该接在最负的电位平面上.

(3)导线的布设

导线的布设是决定电力芯片EMC设计能否成功的关键.其中,电源线和地线上的噪声不但可能造成电路的错误动作,还会造成传导EMI和辐射EMI.因此,最好通过缩短电源线和地线的距离来缩小供电回路面积,公共地线需要采用加粗设计,且避免梳状地线,若电力芯片的数量较多时还应把地线设计成闭环回路.对于信号线,不要靠基片边缘太近,否则容易引起特征阻抗的变化,增加向外的电磁辐射.

4 我国电力芯片的EMC标准规范及技术发展

电力芯片是重要的电磁骚扰源,可将给其供电的直流电源转换为高频电流或电压.改善电力芯片的EMC性能、提高芯片的市场竞争力已迫在眉睫.电力芯片设计的复杂性决定了EMC问题的复杂性,到目前为止,国内外仍在不断寻找和制定电力芯片的EMC标准.

目前有两个部门给出通用的标准,IEC给出了电力芯片关于频率在9 kHz以及9 kHz以上的干扰和抗干扰的标准. IEC下的一些TC根据市场需求给出了从直流到9 kHz频率关于电磁干扰和抗干扰的标准.由于集成电路企业对EMC问题还没有给予足够的重视,目前还没有形成集成电路电力芯片的EMC标准.电子四院已经开展了电力芯片电磁发射和抗扰度测量方法的研究,积累了一定的经验.

为了制定电力芯片建模标准以及评估电力芯片与EMC相关的特性标准,EMC标准制定工作组WG2和WG9已经颁布61967、62132和62433等系列标准26个,给出了集成电路电磁抗扰度、传导和辐射发射建模、CAN收发器的EMC评估等具体标准.关于电力芯片的EMC其他内容标准制定工作正在稳步推进.

5 总结与展望

本文针对电力芯片的EMC问题,首先对电力芯片的国内外发展现状及电磁兼容性作了综述介绍,提出了电力芯片的电磁兼容性检测方法.其次提出电力芯片在设计阶段通过芯片级、行为级和电路级等方式尽量减少可能出现的EMC问题,并在电力芯片设计完成后再对其进行EMC保护措施,提高芯片的工作可靠性.最后,针对电力芯片EMC设计需要遵循的原则,介绍了电力芯片EMC标准的发展过程,相关标准的制定仍需深入研究.

随着电力芯片相关产业的不断重视,EMC自主化设计过程中的关键技术指日可待.近日,中国集成电路芯片标准制定的专家也已取得一定突破,完备的电力芯片EMC标准也将会颁布.

[参考文献](References)

[1] 赵阳,封志明,黄学军.电磁兼容测试方法与工程应用[M].北京:电子工业出版社,2010:1-12.

ZHAO Y, FENG Z M, HUANG X J. EMC test methods and engineering applications[M]. Beijing: Publishing House of Elec-

- tronics Industry,2010;1-12.(in Chinese)
- [2] ZHAO Y,SEE K Y. Fundamental of electromagnetic compatibility and application[M]. Beijing:China Machine Press,2006:1-20.
- [3] 张瑾. 国产芯片的自主可控与自主创新之路任重道远[J]. 行业分析,2019,36(10):4-6.
ZHANG J. The road to independent control and independent innovation of domestic chips has a long way to go[J]. Market analysis,2019,36(10):4-6.(in Chinese)
- [4] 朱贻玮. 我国 IC 芯片制造线现状和分析[J]. 中国集成电路,2011,20(4):16-19.
ZHU Y W. Present situation and analysis of IC chip manufacturing lines in China[J]. Integrated circuits in China,2011,20(4):16-19.(in Chinese)
- [5] KELLER,BRION. An overview of on-chip compression architectures[J]. EDN,2006,51(18):61-68.
- [6] 石寅. 我国在芯片研究领域的突破性进展——直接数字频率合成(DDS)芯片[J]. 中国科学院院刊,2005,20(6):492-494.
SHI Y. Breakthrough in chip research in China:direct digital frequency synthesizer(DDS)chip[J]. Journal of Chinese academy of sciences,2005,20(6):492-494.(in Chinese)
- [7] 胡鹏飞,袁玉湘,于坤山,等. 无极性 RS-485 芯片的关键技术研究与应用[J]. 智能电网,2013,1(2):47-51.
HU P F,YUAN Y X,YU K S,et al. Research on key technologies of polarless RS-485 chip and its application in smart grid[J]. Smart grid,2013,1(2):47-51.(in Chinese)
- [8] PARK P J. ChIP-seq:advantages and challenges of a maturing technology[J]. Nature reviews genetics,2009,10(10):669.
- [9] 向洵,刘凡,杨伟. 基于 CMOS 工艺的全芯片 ESD 保护电路设计[J]. 微电子学,2010(3):396-399.
XIANG X,LIU F,YANG W. Full-chip ESD protection circuit design based on CMOS process[J]. Microelectronics,2010(3):396-399.(in Chinese)
- [10] 陈伟,杨钊,朱琳. 欧共体 EMC 标准演变及 CE 认证介绍[J]. 电声技术,2000,24(4):50-55.
CHEN W,YANG Z,ZHU L. Introduction to evolution of EMC standards and CE certification in EC[J]. Electroacoustic technology,2000,24(4):50-55.(in Chinese)
- [11] 梁海莲,董树荣,顾晓峰. 2.4 GHz 低噪声放大器的全芯片 ESD 保护设计[J]. 固体电子学研究与进展,2012,32(6):561-564.
LIANG H L,DONG S R,GU X F. Full-chip ESD protection design of 2.4 GHz low noise amplifier[J]. Research and progress of SSE,2012,32(6):561-564.(in Chinese)
- [12] ZHANG H P,YANG S D,YIN Y D,et al. A power supply on-chip with low power dissipation for low power digital integrated circuit applications[J]. Applied mechanics and materials,2014,513/514/515/516/517:3844-3849.
- [13] KIM S R,LEE J H,LEE S S. Novel sidewall interconnection using a perpendicular circuit die for 3-D chip stacking[J]. IEEE transactions on components,packaging and manufacturing technology,2015,5(9):1265-1272.
- [14] 袁玉湘,卢慧慧,张亚朋,等. 多原理保护集成芯片的系统架构及其在智能电网中的应用前景分析[J]. 智能电网,2013(1):64-68.
YUAN Y X,LU H H,ZHANG P Y,et al. System architecture of multi-principle protection integrated chip and its application prospect in smart grid[J]. Smart grid,2013(1):64-68.(in Chinese)
- [15] LI X Y,LIU C P,MEI R F. Fault signal detection system of large scale integrated circuit based on single chip microcomputer[J]. Applied mechanics and materials,2014,716/717:924-927.
- [16] ZHANG X,CHEN X,WEI L X,et al. A fast acquisition system for large-scale optical microscopic integrated circuit chip images based on thin plate spline[J]. Applied mechanics and materials,2013,303/304/305/306:1629-1634.

[责任编辑:陈 庆]