

40 nm IC 静态和动态 ESD 测试及失效分析

赵军伟^{1,2}, 乔彦彬^{1,2}, 张海峰^{1,2}, 陈燕宁^{1,2}, 李杰伟^{1,2}, 符荣杰^{1,2}

(1.北京智芯微电子科技有限公司,国家电网公司重点实验室 电力芯片设计分析实验室,北京 100192)

(2.北京智芯微电子科技有限公司,北京市电力高可靠性集成电路设计工程技术研究中心,北京 100192)

[摘要] 结合电网内使用电子器件面临的复杂电磁环境,介绍芯片在静态和动态下静电放电(electrostatic discharge, ESD)的防护能力测试,分析了 ESD 器件充放电模式(CDM)失效的现象和定位方法。针对 40 nm LQFP64 封装芯片,详细介绍 ESD 测试过程和失效判定分析过程,综合运用激光束电阻异常侦测、扫描电子显微镜等手段完成对失效位置的定位和失效点的精确分析。通过测试结果分析其失效机理,ESD 保护电路中的晶体管,在电阻率下降、电流密度增加导致温度升高的正反馈作用下保护电路中的晶体管发生熔断,从而导致 ESD 保护电路失效。

[关键词] 静电放电,静电保护,器件充放电模式,激光束电阻异常侦测

[中图分类号] TN406 **[文献标志码]** A **[文章编号]** 1672-1292(2019)04-0008-05

Static and Dynamic ESD Testing and Failure Analysis for 40 nm IC Products

Zhao Junwei^{1,2}, Qiao Yanbin^{1,2}, Zhang Haifeng^{1,2}, Chen Yanning^{1,2}, Li Jiewei^{1,2}, Fu Rongjie^{1,2}

(1.State Grid Key Laboratory of Power Industrial Chip Design and Analysis Technology, Beijing Smart-Chip Microelectronics Technology Co., Ltd., Beijing 100192, China)

2.Beijing Engineering Research Center of High-reliability IC with Power Industrial Grade, Beijing Smart-Chip Microelectronics Technology Co., Ltd., Beijing 100192, China)

Abstract: Considering the complex electromagnetic environment faced by the use of electronic devices in the power grid, the paper introduces the test of ESD protection ability under static and dynamic conditions. ESD charged device model (CDM) failure phenomenon and location method of failure position are analyzed. Based on LQFP64 package form IC, using 40 nm, the ESD test method and failure phenomenon determination process is discussed in detail. OBIRCH and SEM are used to locate the failure position and analyze the failure point accurately. Through the detailed test results, the failure mechanism of the transistors in the ESD protection circuit is analyzed. Under the positive feedback of the decrease of resistance and the increase of current density, the transistors in the protection circuit will fuse, which leads to the failure of the ESD protection circuit.

Key words: electrical discharge, ESD protection, charged device model, OBIRCH

不同的半导体公司统计数据显示,根据电路设计或器件应用场景的不同,由静电放电(electrostatic discharge, ESD)导致的失效所占比例为 23%~72%^[1]。ESD 事件无论对芯片制造商还是消费者都造成了巨大的损失。ESD 现象广泛存在于芯片及电子产品的生产、组装、测试、运输和使用过程中,尤其是随着新工艺的不断推进,器件尺寸进一步缩小、电流密度变大,电路变得更加复杂,这些因素使得 ESD 问题变得越来越严重。

ESD 作为电磁兼容的一个重要组成部分,在 20 世纪七八十年代就已经受到了国外研究人员的关注。相比之下国内起步较晚,随着我国芯片技术的飞速发展,ESD 问题也越来越突出,超大规模集成电路 ESD 防护技术也受到越来越多国内外科研单位、研究院校及企业的关注。电力行业中的设备在工作中往往面临复杂的电磁环境,随着智能电网的建设电网中相关芯片的需求量逐年增加,为了满足产业的发展、增强产品竞争力,先进工艺芯片投入逐年增加,因此,对先进工艺下芯片失效模式的分析和研究将对相关产品的应用和改进具有指导意义^[2-3]。越来越复杂的电磁骚扰环境,更容易导致芯片内外部积累的电荷通

收稿日期:2019-09-10.

基金项目:国家自然科学基金(U1866212).

通讯联系人:赵军伟,工程师,研究方向:芯片可靠性及失效分析等方面的研究. E-mail:zhaojunwei@sgitg.sgcc.com.cn

过管脚流入或流出芯片,产生瞬间大电流(可达数安培)和高电压,从而损伤芯片,电子器件发生 ESD 损伤的概率愈来愈大^[4]。由于 ESD 防护缺乏精确的 ESD 仿真模型和 ESD 器件的保护性易受到寄生效应的影响,因此在设计及防护过程中还存在较多的难点。

本文以 40 nm 工艺芯片为研究对象,在对芯片 ESD 测试方法及失效判定进行详细介绍的基础上进行 ESD 失效分析,运用电性测试、OBIRCH 和扫描电子显微镜(SEM)等手段进行对失效模式,失效位置判定及失效现象的观察和分析。通过研究发现芯片的 ESD 失效机制,找出失效位置和具体失效现象为后续 ESD 保护电路的升级和芯片的优化设计提供参考。

1 ESD 可靠性测试

ESD 测试是芯片可靠性测试必不可少的一个关键环节。其目的是通过特定的测试确定芯片抗静电的冲击能力,以期找到芯片中对静电冲击敏感和薄弱的环节,进行失效机理研究。ESD 测试分为芯片在非工作时的静态测试和存在外加激励时的动态测试两种。下面对两种测试进行详细介绍。

静态 ESD 测试中使用 KeyTek Zapmaster Orion.2 系统,对 QFN64 封装形式的通信芯片进行 CDM 模型的 ESD 可靠性测试。将待测芯片放在机台上对 AVDD 管脚施加静电脉冲,管脚电压从 200 V 起按步长 100 V 进行测试,电压脉冲为 1 s,时间间隔 0.3 s,电压达到 400 V 时芯片出现异常 I-V 曲线漂移超过 30%,判定芯片失效。

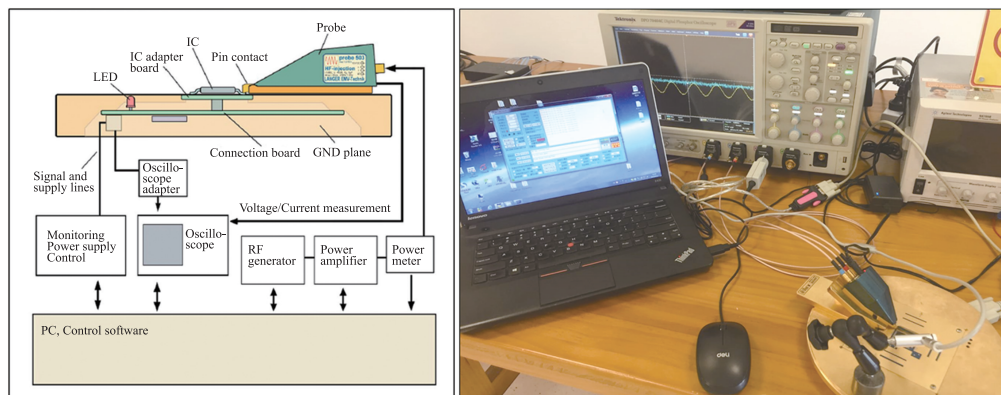


图 1 PESD 测试系统

Fig. 1 PESD test system

为了评估芯片在工作状态下的耐静电脉冲(PESD)能力,我们搭建如图 1 所示的测试系统。将芯片固定在特定测试夹具中的测试板上,由信号线将射频信号发生器、功率放大器等产生的射频信号通过测试探头注入芯片固定 pin 脚。测试夹具与探头充分接触以保证良好的接地,通过密封型的金属质测试夹具对测试芯片及主板进行电磁屏蔽。在施加外部激励过程中,通过软件实时监控芯片内部通信协议的执行情况,评估在芯片工作状态下的 ESD 耐受能力。

测试基于 IEC61000-4-2 规定设定波形特征,以初始值 200 V,步进 200 V 的设定进行测试,如果在测试过程中,芯片被检测的功能出现问题或信号通信中断,则判定为 fail。图 2 为芯片六个管脚的 PESD 测试结果,其中 AVDDPLL 管脚在 600 V 时出现通信中断的现象,在此条件下芯片出现失效。

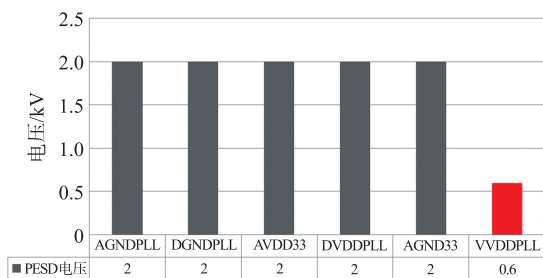


图 2 PESD 测试结果

Fig. 2 PESD test result

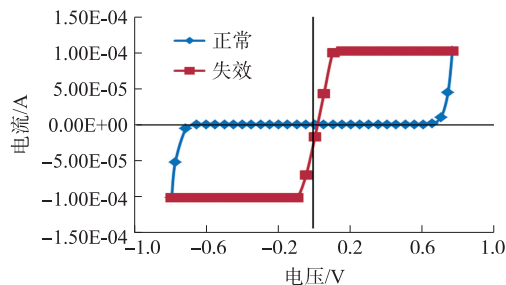


图 3 ESD CDM 测试 I/V 曲线(AVDD 引脚 to AGND 引脚)

Fig. 3 ESD CDM test I/V curve(AVDD pin to AGND pin)

图 3 为芯片在进行 CDM 测试前后 AVDD 管脚的 I-V 曲线对比图,从图中可以清楚地看到,正常芯片在 0.2 V 时其电流几乎为 0,但是失效芯片在 0.1 V 左右即达到测试过程中的最大限流,电流高达十几毫安.说明芯片在测试过程中出现了非常明显的漏电流.可以确定芯片在 ESD 测试中结构受到了损伤.

2 失效分析

在测试完成后对测试失效的器件进行失效分析、找出失效位置、推断失效机理,找出防护的薄弱环节进行改进是现阶段最为常用的 ESD 保护电路改进流程.针对失效样品的分析,首先通过正常芯片与失效芯片相同管脚 I-V 曲线的对比判定管脚受 ESD 损伤程度,随后对样品进行开封,并对失效样品进行热点分析.通过对比,若发现异常热点则对芯片进行研磨、去层,并使用光镜/电镜对热点区域进行精细观察,找出失效的具体现象^[5-6].最后,基于测试,对观察结果进行失效机理分析.

为了找出确切的漏电流的位置,接下来借助 OBIRCH 进行热点的抓取.在检测过程中对失效 pin 脚施加一定的电压或电流,在激光扫描的过程中通过温度的变化引起阻值的变化,通过阻值的对比找出失效位置.

如图 4 所示,图 4(a)为正常芯片的 OBIRCH 的热点图,图 4(b)为失效样品的热点图,通过对比可以清楚地发现在失效样品上有一处异常的热点出现,可以进一步确认 ESD 测试过程导致了芯片内部的损伤.

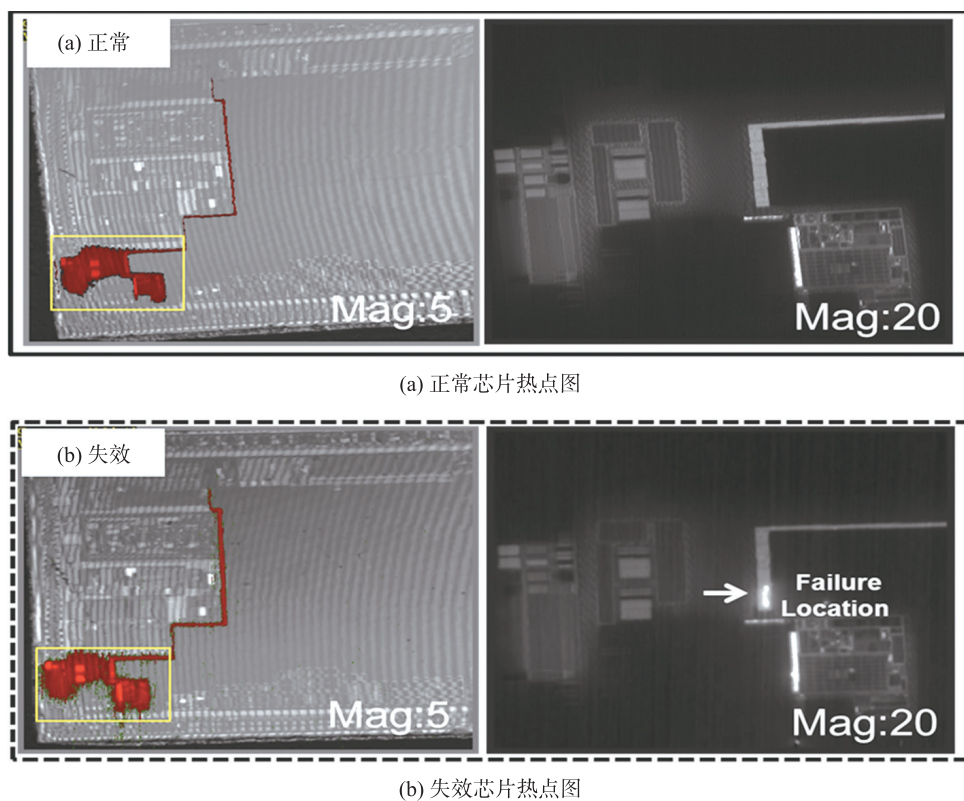


图 4 芯片热点图

Fig. 4 Hotspot of IC

失效区域 GDS 如图 5(a)所示,从图中可以看出失效区域的所有器件栅极相连.在随后的处理工程中通过去层、研磨等工艺,通过 SEM,在多晶硅(poly)层发现栅极出现严重炸点.由此可判定 ESD CDM 测试过程中的大电流导致器件栅极熔断^[7-8].为进一步观察大电流对失效 MOS 管造成的损伤,借助 FIB 对其断面进行观察.图 6 为失效位置 FIB 截面图,从图中可以清楚的看到失效 MOS 管位置出现熔断.进一步证明在 ESD 脉冲的作用下由于保护结构的鲁棒性不够导致异常的大电流或大电压损坏 ESD 保护器件,使其失效.

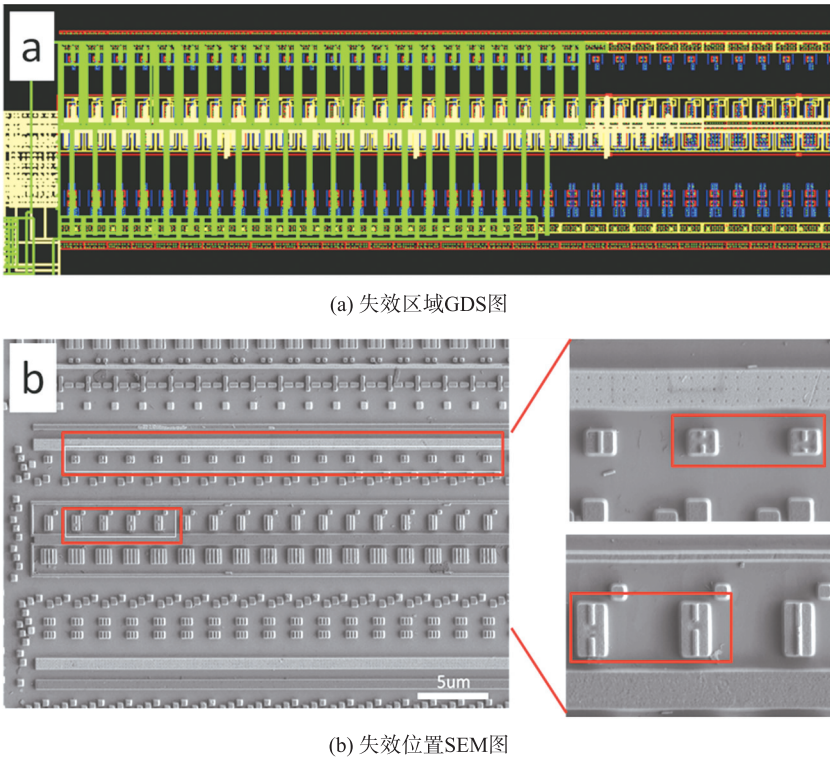


图 5 GDS 图和 SEM 图
Fig.5 GDS and SEM image

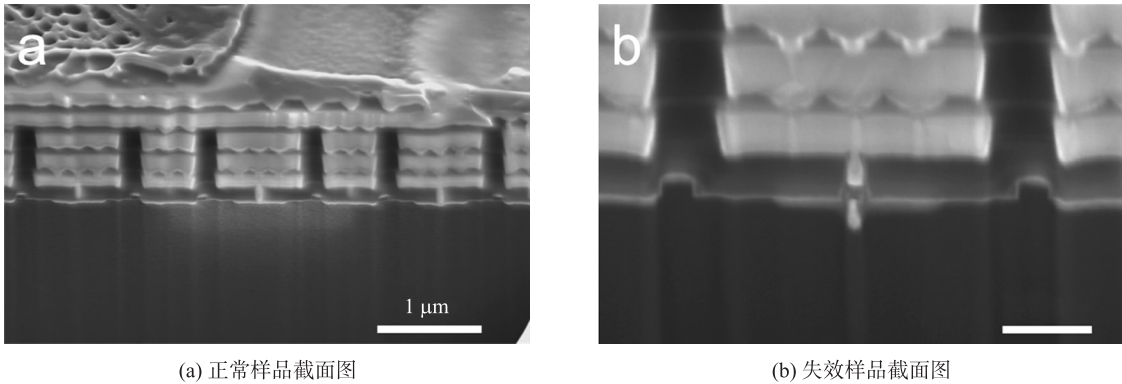


图 6 样品截面图
Fig.6 IC cross-section view

3 ESD 失效机理

根据 ESD 防护电路工作原理,正常情况下,ESD 保护电路不开启. 当瞬态电压超过一定限度后 ESD 保护电路开启将其泄放到地,从而保护内部电路,且泄放完成后能够正常关闭不影响电路的正常工作.

根据此芯片失效现象可推测其 ESD 失效机理. 由于 ESD 保护单元设计不合理导致 ESD 保护电路未能及时开启、充分的将大电流泄放到地. 大电流导致 ESD 保护电路中的晶体管结温上升、电阻率下降,最终使得其电流密度增加,并形成正反馈. 图 7 为失效路径的防护示意图,在 ESD 测试过程中,AGND 端悬空在 AVDD 和 AGND 端有过压降超过介质层的击穿电压,使得 Input(输入)/Output(输出)端与 GND(地端)之间的 ESD 保护单元中某个 NMOS 管在 ESD 施加的应力放电模式下发生静电击穿,造成 ESD 测试失效.

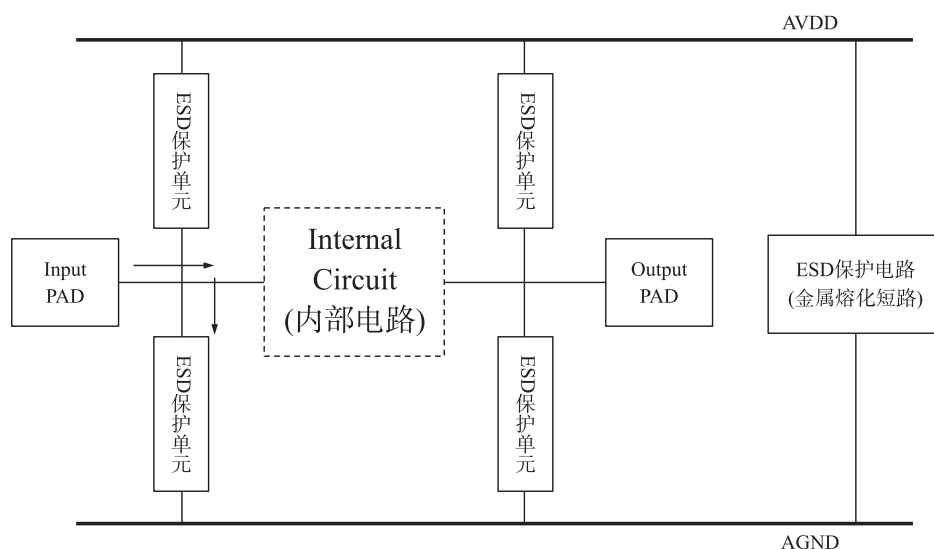


图 7 ESD 放电原理图

Fig. 7 ESD discharge schematic diagram

4 结语

通过对失效样品的电学及物理分析可直观观测器件失效位置和具体失效现象,进而找出其可能的失效原因,基于本文的结果推测此 40 nm 产品的 CDM 失效机理为:此保护回路在面对 ESD 放电过程中所产生的大电流时无法及时将其泄放,此大电流施加在 ESD 保护电路中的晶体管后,晶体管结温上升、电阻率下降、电流密度增加并形成恶性正反馈,最终导致晶体管熔融,ESD 保护单元失效。造成此现象的原因可能为:(1)ESD 保护电路接地不合理,泄放路径较长在 ESD 高电压冲击下不能及时完成泄放。(2)ESD 保护单元中的晶体管泄放能力不足,可尝试增加面积或调整晶体管开启时间顺序。通过此研究为后续 ESD 保护单元的设计改进提供了方向和参考。

[参考文献] (References)

- [1] HUANG J B, WANG G W. ESD protection design for advanced CMOS[C]//Conference on Advances in Microelectronic Device Technology. Nanjing, 2001:4600.
- [2] 王广辉. 中国智能用电的实践与未来展望[J]. 中国电力, 2012, 45(1):1-5.
WANG G H. Practice and prospect of China intelligent power utilization[J]. Electrical power, 2012, 45(1):1-5. (in Chinese)
- [3] 张钦, 王锡凡, 付敏, 等. 需求响应视角下的智能电网[J]. 电力系统自动化, 2009, 33(17):49-55.
ZHANG Q, WANG X F, FU M, et al. Smart grid form the perspective of demand response[J]. Automation of electric power systems, 2009, 33(17):49-55. (in Chinese)
- [4] 袁琰红, 陈力, 王英杰, 等. 基于 ESD 的芯片失效分析[J]. 半导体光电, 2012, 33(3):397-400.
YUAN Y H, CHENG L, WANG Y J, et al. Failure analysis on IC chips based on ESD[J]. Semiconductor optoelectronics, 2012, 33(3):397-400. (in Chinese)
- [5] 戴俊夫, 严明. 电子元器件失效分析技术及方法[J]. 微处理机, 2015, 37(4):1-3, 7.
DAI J F, YAN M. Failure analysis of electronic components[J]. Microprocessor, 2015, 37(4):1-3, 7. (in Chinese)
- [6] 黄龙, 刘迪, 陆坚, 等. SOI 电路可靠性筛选技术及失效机理研究[J]. 电子与封装, 2013, 13(12):30-34.
HUANG L, LIU D, LU J, et al. Study on reliability screening technology and failure mechanism of SOI circuits[J]. Electronics & packaging, 2013, 13(12):30-34. (in Chinese)
- [7] MING D K, CHE H C, WEN Y L. Layout design on multi-finger MOSFET for on-chip ESD protection circuits in a 0.18- μm salicided CMOS process[J]. 8th IEEE International Conference on Electronics, Circuits and Systems. Malta, 2001:361-364.
- [8] 张冰, 柴常春, 杨银堂, 等. 一种新型结构栅耦合 ggNMOS ESD 保护电路研究[J]. 电路与系统学报, 2011, 16(5):84-89.
ZHANG B, CHAI C C, YANG Y T, et al. Study on a new structure gc-ggNMOS ESD protection circuit[J]. Journal of circuits and systems, 2011, 16(5):84-89. (in Chinese)

[责任编辑:陈 庆]