

开关磁阻电动机测速电路的 VHDL 数字化设计

周百新, 王思聪

(南京师范大学电气与电子工程学院, 210042, 南京)

[摘要] 利用数字电路完成对SRD测速电路的设计,并用VHDL语言进行描述.经过功能仿真,下载到一片FPGA上制成单片数字化测速电路,并在全数字化的SRD系统中使用了该专用测速芯片.其测速精度优良,测速速度优于单片机测速方法.

[关键词] SRD, 数字化设计, 测速, VHDL

[中图分类号] TM352, [文献标识码] B, [文章编号] 1672-1292-(2003)02-0046-04

0 引言

开关磁组电动机调速系统 SRD(Switched Reluctance Drive)是融新型电机结构 SRM(Switched Reluctance Motor)与现代电力电子技术和控制于一体的新型调速技术,它具有诸多优点^[1],如电机结构简单、成本低、具有高起动转矩和低起动电流、功率变换器电路简单可靠、效率高等.因此,SRD作为一种新型的调速系统,兼有直流调速和交流调速的许多优点,已被广泛地应用于各种工业领域.

一个完整的SRD系统由电机SRM、功率变换器、控制电路、转子位置传感器和测速电路构成.而测速目前通常采用模拟法和数字法.模拟法是利用系统的转子位置检测信号的频率与转子转速成正比,将转子位置信号频率通过V/F(频压变换器)转换为与转速成正比的模拟量.这种方法电路简单、成本低,但由于V/F变换器在低频段线性度较差,因此很难适用宽调速范围SRD系统.数字法是利用转子位置检测信号通过M法、T法或M/T法由单片机完成测速,这种方法大量占用CPU资源,代价高,不适用低成本的小型SRD系统.

本文利用数字电路完成了对SRD测速电路的设计,并用VHDL语言对其进行了描述.在功能仿真后,下载到一片FPGA上制成了单片数字化测速电路.该电路在小型SRD系统中的应用表明:其测速精度优良,测速速度优于单片机测速方法^[3].

1 SRM的基本工作和测速原理

SR电机是SRD中实现机电能量转换的部件,它的结构和工作原理与传统的交、直流电机有很大的差别.图1为典型8/6极SR电机的结构原理图.SR电机遵循“磁阻最小”运行原理,即磁通总要沿着磁阻最小的路径闭合,而具有一定形状的铁芯在移动到磁阻最小位置时,必使自己的主轴线与磁场轴线重合.在图1中,当定子D-D'极励磁时,所产生的磁力力图使转子转到转子极轴线l-l'与定子极轴线D-D'重合.若按D-A-B-C顺序依次通电,则电机按逆时针方向转动;反之,依次给B-A-D-C通电,

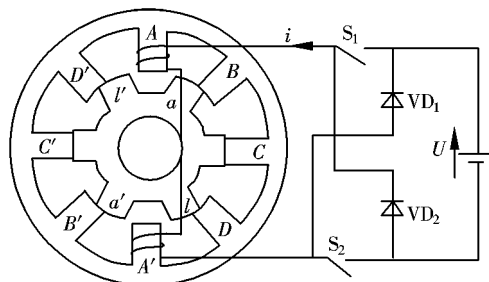


图1 8/6极SR电机的结构原理图

收稿日期: 2003-03-17.

作者简介: 周百新, 女, 1959-, 南京师范大学电气与电子工程学院副教授, 主要从事电子技术、PLD器件应用、VHDL设计等的教学和研究.

则顺时针转动. 从以上分析可看出, 根据转子与定子间的相对位置, 对定子相绕组依次通电, 就能使电动机转动起来, 而转子位置传感器是 SRM 必备的装置.

转子位置传感器如图 2 所示, 由光电脉冲发生器与转盘组成, 转盘的齿、槽与转子凸极、凹槽数一样为 6, 且均匀分布. 所占角度均为 30° , 转盘与转子同轴. 光电脉冲发生器 $S(S_Q)$ 、 $P(S_P)$ 以夹角为 15° 分别固定在电机定子上. 当转盘齿转到 S 或 P 的位置时, 光电脉冲发生器输出为 1, 则在一个转子角周期 τ_r ($\tau_r = 60^\circ$) 内, S 、 P 产生两个相位相差 15° 、占空比为 50% 的方波信号, 如图 3 所示.

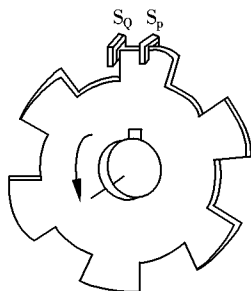


图 2 转子位置传感器

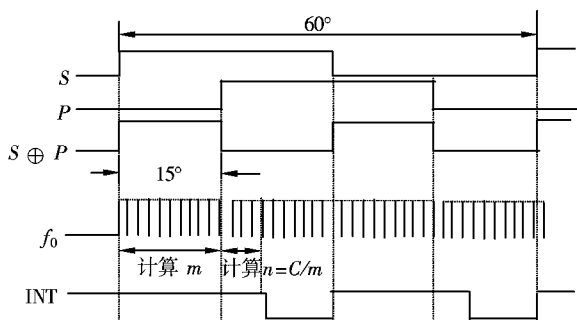


图 3 时序图

由 S 、 P 信号在一个转子角周期内组成 4 种不同的状态分别作为 SRM 四相绕组的触发信号. 由此可看出, 在转子的一周内, S 、 P 信号脉冲数和脉冲间距是与转速完全成正比的, 从而可用 M 法或 T 法完成速度的测量. 采用这种方法测量转速, 不需另加速度传感器.

2 测速电路的数字化设计

输入信号为 SRM 提供的位置信号 S 、 P . 为提高测量精度, 用 S 、 P 的异或形成二倍频信号 $S \oplus P$ (如图 3 所示). 由于 M 法在转速较低时 (位置信号频率较低) 测速精度不高, 故采用 T 法测速. 尽管用 T 法在高速段分辨率较低, 但可以通过提高计数器位数来满足高速时对测速精度的要求. 其设计过程如下:

2.1 时钟频率的选择

设时钟频率为 f_0 , 在 $S \oplus P$ 高电平期间对固定频率的脉冲信号 f_0 进行计数, 计数期间的计数值为 m , 则转速方程为:

$$n = \frac{60f_0}{P_N m} \quad (1)$$

式中: P_N 为每转步进脉冲个数. 测速范围为 255~2047 r/min, 最高速时的分辨率为 1/256. $S \oplus P$ 信号高电平角度为 15° , $P_N = 24$. 当 $n = 2048$ r/min 时, 计数值 $m = 256$, 则 f_0 为 0.2 MHz.

所以, 选 2MHz 的晶体振荡器, 经 10 分频得到 f_0 .

2.2 计时器和常数 C 的选择

当 $n = 256$ r/min, $P_N = 24$, $f_0 = 0.2$ MHz, 则由式(1)可得: $m = 2^{11}$. 在最低速时计数值 m 为最大, 所以, 选 m 脉冲计数器为 11 位二进制计数器. 并由(1)式可得: $n = \frac{60f_0}{P_N m} = \frac{C}{m}$. 其中 $C = \frac{60f_0}{P_N} = \frac{60 \times 2048 \times 1024}{24 \times 10} = 2048 \times 256$ 为一常数. 故选常数 C 为 19 位全 1 的数据.

2.3 数字测速电路的时序图

在 $S \oplus P$ 的上跳沿计数器开始对时钟 f_0 计数, $S \oplus P$ 为低电平时停止计数, 并在 11 个时钟周期内完成速度的求取, 即 $n = C/m$ 运算. 经 4 ns 延时发出数据准备好信号, INT 为低电平.

2.4 数字测速电路的 VHDL 描述

SRD 测速电路的算法模型如图 4 所示.

m 计数进程: $F = 1$ 时, 计数器计数. $F = 0$ 时, 停止计数, 将 m 送到 A 保存后, 计数器清 0.

控制进程: $F = 1$ 时: $X = 0$; cont2 不工作. $F = 0$ 时: $X = 1$; cont2 初始化, 即 $\text{cont2} = 12$; 在 f_0 上跳沿, cont2 减 1; 当 $\text{cont2} = 0$ 时, 令 $X = 0$.

转速 n 计算进程: $F = 1$ 时, $\text{INT} = 1$; $X = 1$ 时, 执行除法运算 C/A ; $X = 0$ 时, 停止计算, 输出 $n = \text{OUT}$, 经 4 ns 延时令 $\text{INT} = 0$.

m 计数进程如下:

```
begin
    f <= s xor p;
    mcounter: process(f, clk)
    begin
        if (clk event and clk = '1') then
            if (f = '1') then
                m <= m + '1'; -- f = 1; m 计数
            else
                a <= m; -- f = 0, 停止计数; 将计数值送 a 保存;
                m <= 0; -- m 清 0, 为下一周期重新计数做准备.
            end if;
        end if;
    end process mcounter;
```

控制进程如下:

```
controller: process(f, clk)
    variable cont2: integer;
begin
    if (f = '1') then
        x <= 0;
    else
        cont2 := 12; -- cont2 初始化;
        x <= '1';
    end if;
    if (clk event and clk = '1') then
        if (x = '1') then
            if (cont2 = 0) then
                x <= 0;
            else
                cont2 := cont2 - 1; -- f = 0 时, cont2 减 1, 控制除法运算执行 11 次移位和 1 个周期的数据稳定;
            end if;
        end if;
    end if;
end process controller;
```

转速 n 计算进程如下:

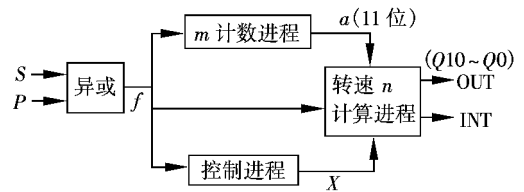


图4 测速电路的算法模型

注: 操作均在时钟 f_0 控制下同步进行, 故 f_0 省略未画.

```
nspeed: process ( clk, a, x)
constant c: std_logic_vector(18 downto 0) "111111111111111111"; -- 常数 c 为 19 位全 1;
signal b: std_logic_vector(10 downto 0);
begin
    if ( clk event and clk= ' 1' ) then
        if ( x= 0) then
            out <= b; -- x= 0, 输出转速 n= out;
            int<= 0 after 4ns; -- 4ns 后, 令 int= 0, 说明数据有效;
        else if ( f= ' 1' ) then
            int <= ' 1' ;
        else
            b<= movca( c, a); -- 调除法函数 movca( c, a) , 计算 c/a;
        end if;
    end if;
end process nspeed;
```

3 结果与讨论

完成上述设计并在计算机上仿真后, 下载到一片 CPLD 或 FPGA 上, 制成单片数字测速电路. 为验证电路的正确性, 利用 LZ-60 型测速表与数字测速电路进行测速实验, 其数据如表 1 所示.

表 1 测速实验数据

测速工具	转速/ (r/min)				
数字测速电路	255	500	1000	1500	2047
LZ-60 测速表	255	500	1000	1501	2049

表 1 的数据表明, 数字测速电路的测速精度优良. 由于数字测速电路是用若干门电路组成的电子线路, 其工作速度是 ns 级, 因此采用专用数字测速电路, 其测速速度明显优于单片机测速方法.

[参考文献]

[1] 王宏华. 开关磁阻电动机比例因子自调整模糊控制器设计[J] . 电气传动, 2001, (2): 17~ 19.
[2] Kevin Skahill. 可编程逻辑系统的 VHDL 设计技术[M] . 朱明程, 孙普, 译. 南京: 东南大学出版社, 1998.
[3] 王思聪, 周百新. 基于 CPLD 的开关磁阻电动机控制电路设计[J] . 电气自动化, 2001, (3): 11~ 12.

VHDL Digital Design of SRD Speed-measuring Circuit

Zhou Baixin, Wang Sicong

(College of Electrical and Electronic Engineering, Nanjing Normal University, 210042, Nanjing, PRC)

Abstract: The SRD speed-measuring circuit was designed by digital circuit. VHDL was used to design this circuit. It was downloaded to a FPGA chip after function simulation, for building single-piece digital speed-measuring circuit. The chip was used in a all digitalized small SRD system and it was found that the precision was high and the speed was much faster than those of single chip computer.

Key words: SRD, digital design, speed-measuring, VHDL

[责任编辑: 严海琳]