

# 具有 90°可调移相的万兆以太网数据判决芯片设计

程树东, 朱恩, 孟凡生, 孙玲, 吴春红, 费瑞霞, 王志功

(东南大学射频与光电集成电路研究所, 210096, 南京)

[摘要] 介绍了用法国 OMMIC 公司 0.2μm GaAs PHEMT 工艺设计的具有 90°可调移相的万兆以太网数据判决芯片的模块及单元电路的结构, 给出了仿真结果及版图, 最后给出分析和结论. 该芯片的判决电路采用 SCHL (源级耦合晶体管逻辑) 的 D 触发器结构, 根据矢量叠加原理设计, 采用差动电流放大器构成可调移相器. 该芯片可直接用于万兆以太网 IEEE 802.3ae 中 10G BASE-R 和 10G BASE-W 的物理媒介配属层的时钟数据恢复模块中.

[关键词] 万兆以太网, 数据判决, 源级耦合晶体管逻辑, 触发器, 移相器, 物理媒介配属层

[中图分类号] TN432, [文献标识码] A, [文章编号] 1672-1292-(2003)04-0071-04

万兆以太网技术是千兆以太网等已有技术的延伸, 在向下兼容的同时又使速度达到大幅提升外, 与以往以太网技术不同的是, 万兆以太网协议 IEEE 802.3ae 增加了城域网和广域网功能, 并且支持与 SONET/SDH 基础架构的无缝连接. 各种宽带业务的迅猛发展和以太网技术所具有的明显的性价比优势使得万兆以太网有着巨大的市场前景和发展潜力. 在这种形势下, 许多世界知名大学和大通讯公司都启动了对适用于万兆以太网物理层的高性能集成电路的研究.

万兆以太网技术标准 IEEE 802.3ae 规定物理媒介配属层接受模块 RXCRU 单元的功能是从 PMD 层 (物理媒介依靠层) 中的串行数据中提取出时钟信号并进行数据判决. 数据判决的最佳时刻应该位于数据眼图的中心. 当输出时钟恢复信号直接连接到数据判决电路上时, 由恢复时钟决定的再定时点很可能不处于最佳点上. 为了达到最佳情况, 需要对恢复的时钟信号的相位采用移相电路做出合适的调整.

判决电路可采用固定移相电路、可调移相电路和自动相位调整电路来对恢复的时钟信号的相位做出合适的调整. 综合考虑相位裕度、设计的难易和成本, 故本次设计采用可调移相的判决电路.

## 1 模块结构和电路设计

具有 90°可调移相的数据判决电路的模块结构如图 1 所示, 包括时钟、数据输入缓冲级、可调移相电路、判决电路和数据输出缓冲级. 系统按照 IEEE 802.3ae 协议的要求定义电源电压和输入输出的电性能.

### 1.1 输入缓冲电路

输入缓冲电路如图 2(a)、(b) 所示, 其作用是提供到 50Ω 传输线的阻抗匹配和直流电平匹配. 对于高频电路, 输入的阻抗匹配是重要的设计指标, 否则, 信号功率会因为反射而损耗, 不能有效传输.

图 2(a) 所示为数据信号输入缓冲电路, 其中 2 个 50Ω 的电阻和由传输线构成的 2 个电感完成了芯

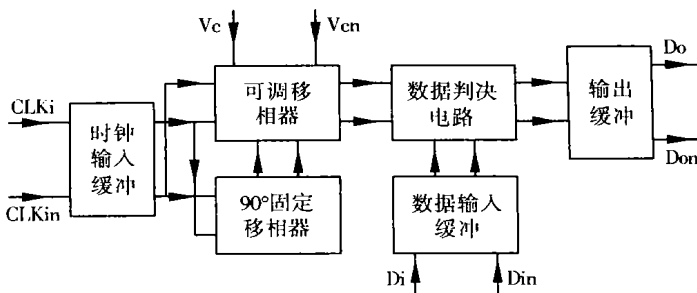


图 1 模块框图

收稿日期: 2003-09-23.

基金项目: 国家“八六三”计划项目 (2001AA121074) 资助.

作者简介: 程树东, 1973-, 东南大学无线电工程系硕士研究生, 主要从事超高速数据判决芯片设计方面的学习与研究.

通讯联系人: 朱恩, 1965-, 博士后, 东南大学无线电工程系教授, 主要从事光电集成电路及超大规模集成电路设计方面的研究.

片上的宽带匹配.图2(b)所示为时钟信号输入缓冲电路.通过电阻分压,使直流电平等于输入信号的直流中心电平,从而实现直流电平的匹配.而对于差分的交流信号,电阻分压点相当于虚地,这样,差分输入信号就相当于通过  $50\ \Omega$  匹配电阻接地,实现了输入端交流信号的阻抗匹配.

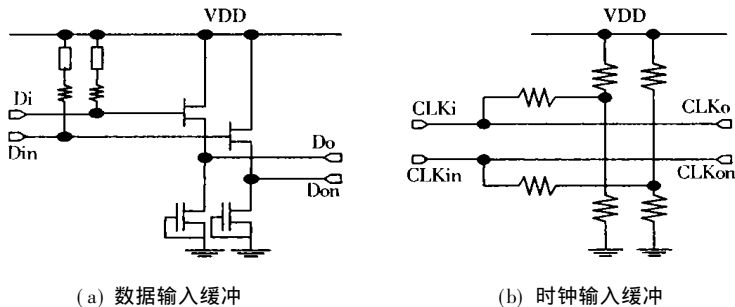


图2 输入缓冲电路

### 1.2 移相器单元

移相器单元由  $90^\circ$  固定移相器和可调移相器构成.

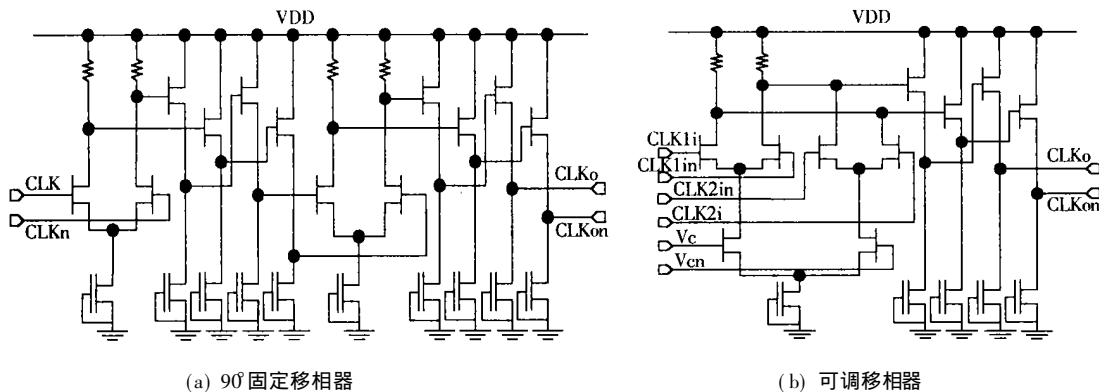


图3 移相器单元

$90^\circ$  固定移相器由两级基本放大单元构成,通过电路的固有时延来达到固定移相的功能.本次设计的时延为  $25\ \text{ps}$ .

模拟可调移相器可以运用两种技术:参数变化和矢量叠加.参数变化的技术是通过改变调谐回路的电容值来使相位随着中心频率和工作频率间偏移的变化而变化.但由于工艺的限制,电感往往不能谐振在预期的频率上,并且电容的改变值也有限,因此本次设计采用矢量叠加的技术.

根据矢量叠加原理设计移相器时,首先用固定移相技术得到的两个具有固定相位差(一般为  $90^\circ$ )的信号输入至一个求和电路进行矢量叠加,通过控制两个信号幅度的大小得到所需的相移值.

### 1.3 判决电路

数据判决的集成电路广泛使用主从 D 触发器(DFF)来实现.考虑到 D 触发器的工作速率与其所采用的晶体管的电流增益截止频率  $f_T$  及单向功率增益截止频率  $f_{\text{max}}$  的关系,采用场效应(FET)器件的传统主从 D 触发器,其工作速率一般为晶体管  $f_T$  的  $1/5$  至  $1/4$ ;采用双极性(Biplore)器件的传统主从 D 触发器,其工作速率一般为晶体管  $f_T$  的  $1/4$  至  $1/3$ .实践中,D 触发器的工作速率还受互连线的寄生效应和晶体管的栅-漏电容( $C_{gl}$ )的限制.法国 OMMIC 公司提供的 GaAs ED02AH 工艺,其耗尽型晶体管(FET-ON)的典型截止频率为  $60\ \text{GHz}$ ,增强型晶体管(FET-OFF)的典型截止频率为  $63\ \text{GHz}$ ,完全满足本次设计的要求.

故本次设计采用传统主从 D 触发器构成的判决电路,如图4所示.

## 1.4 输出缓冲电路

输出缓冲电路如图 5 所示, 由一级放大单元和 PCML 输出接口电路组成. 其中放大器用来对判决出来的数据波形进行限幅和整形, PCML 输出接口电路进行高速率的匹配.

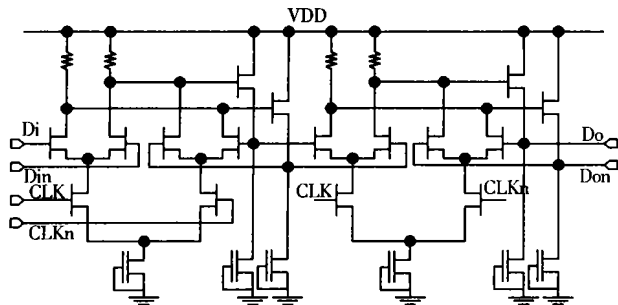


图 4 判决电路

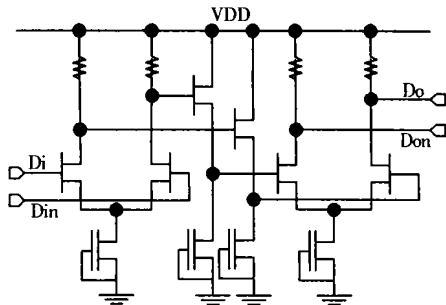


图 5 输出缓冲电路

## 2 工艺和版图设计

实现高速电路的首选工艺是基于砷化钾 (GaAs) 或磷化铟 (InP) 的高电子迁移率器件 (HEMT). 因 HEMT 的有源层中没有施主原子与电子的碰撞, HEMT 具有更高的截止频率、更高的跨导和更低的噪声.

东南大学射频与光电集成电路研究所通过法国多项目芯片工程 (CMP), 利用 OMMIC 公司提供的  $0.2\ \mu\text{m}$  GaAs PHEMT (砷化镓薄膜高电子迁移率器件) 工艺进行设计. 该工艺的增强型晶体管只需要较低的电压摆幅就能实现开关状态, 适合超高速数字电路的应用; 耗尽型晶体管适合作小尺寸的电流源, 并具有高的线性度. 工艺还提供了适用于 Agilent 公司 ADS (Advanced Design System) 软件的模型库, 对电路仿真十分有用.

本次版图设计在 Cadence 环境下完成, 版图如图 6 所示. 版图设计在整个芯片设计过程中是至关重要的一步, 版图设计的好坏会极大地影响芯片的性能. 由于电路工作在  $10\ \text{GHz}$  频段, 所以要考虑互连线的寄生参数对芯片性能的影响, 尽可能的减小版图设计所产生的寄生效应.  $0.2\ \mu\text{m}$  GaAs PHEMT 工艺提供 IN 线和 BE 线两层金属为互连线, IN 线的寄生参数较小, 因此较长的高频信号线应尽量选用 IN 线. 为减小 IN 线和 BE 线交叉时产生的寄生电容, 尽量用 GaAs PHEMT 工艺提供的空气桥 (Air Bridge) 加以隔离. 通过在高频输入与输出端采用共面波导形式的匹配传输线来减小信号反射所引起的损耗.

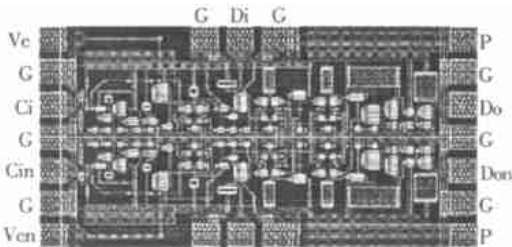
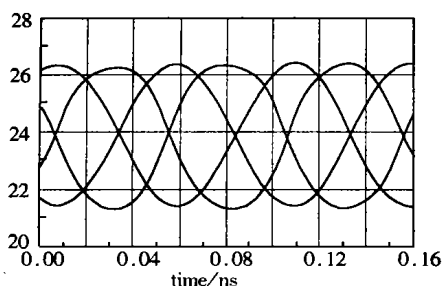


图 6 版图

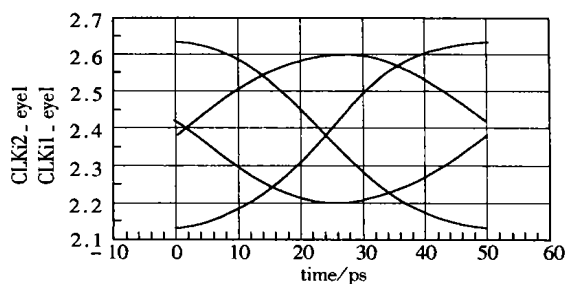
## 3 仿真结果

采用 Agilent 公司的 ADS (Advanced Design System) 软件进行电路仿真, 其结果如下:

- (1) 固定移相器实现了  $90^\circ$  的移相功能, 其输入与输出波形及眼图 (比较相位移移动幅度) 见图 7.
- (2) 可调移相器通过对  $V_c$  及  $V_{cn}$  的调节, 可实现  $0 \sim 90^\circ$  范围内的相位调节. 本次设计的判决电路的相位裕度为  $320^\circ$  左右, 通过可调移相器可实现最佳判决.
- (3) 系统输出数据信号波形及其眼图如图 8 所示.

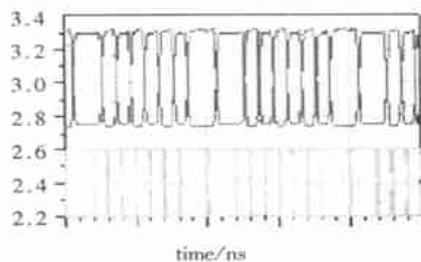


(a) 输入与输出波形

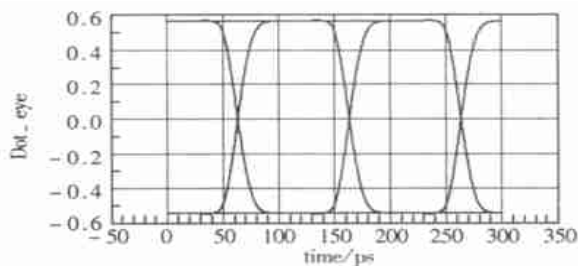


(b) 输入与输出眼图

图7 固定移相器输入与输出波形及眼图



(a) 系统输出数据信号波形



(b) 系统输出数据信号眼图

图8 系统输出数据信号波形及眼图

## 4 结论

采用法国 OMMIC 公司  $0.2\ \mu\text{m}$  GaAs PHEMT 工艺实现了应用于万兆以太网物理媒介附属层时钟数据恢复电路中的数据判决芯片. 仿真结果表明, 该电路对恢复出的任意相位的时钟信号通过适当的调节均能达到最佳判决. 该芯片的研制对开发具有自主知识产权的国产高性能通信集成电路具有积极意义.

### [参考文献]

- [1] 王志功. 光纤通信集成电路设计[M]. 北京: 高等教育出版社, 2003.
- [2] Steven J, Vaughan Nichols. Will 10 Gigabit Ethernet have a bright future[J]. Computer, 2002, 35(6): 22~24.
- [3] Wang Z G, Berroth M, Thiede A, *et al.* Low Power Data Decision IC for 20~40 Gb/s Data Links Using  $0.2\ \mu\text{m}$  AlGaAs/GaAs HEMTs[J]. Electron Lett Of IEE, 1997, 33: 290~292.
- [4] Gu Zheng, Wang Huan, Wang Zhigong, *et al.* 3.5 Gb/s  $0.35\ \mu\text{m}$  CMOS Data Decision IC[A]. SPIE International Symposium on Optoelectronics and Microelectronics, 2001.

## Data Decision IC with 90 Degree Tuned Phase Shifter Design for 10-Gigabit Ethernet

Cheng Shudong, Zhu En, Meng Fansheng, Sun Ling, Wu Chunhong, Fei Ruixia, Wang Zhigong

(Institute of RF-OE-ICs, Southeast University, 210096, Nanjing, PRC)

**Abstract:** A data decision IC with 90 degree tuned phase shifter based on  $0.2\ \mu\text{m}$  GaAs PHEMT technology of OMMIC Co. in France has been realized and characterized for 10 Gigabit Ethernet. The decision circuit of the chip is applied with a DFF using SCFL structure and its tuned phase shifter with differential current amplifiers according to the principle of vector addition. The chip can be adopted in the clock and data recovery circuits of the physical medium attachment layer in the IEEE 802.3ae type 10 G BASE-R and 10 G BASE-W.

**Key words:** 10-Gigabit Ethernet, Data Decision, SCFL, DFF, Phase Shifter, PMA

[责任编辑: 严海琳]