

用 VHDL 设计的 SRD 模糊控制器

郭爱琴, 周百新

(南京师范大学电气与电子工程学院, 210042, 南京)

[摘要] 用硬件描述语言 VHDL 对 SR 电动机比例因子自调整模糊控制器进行了数字设计, 并用 FPGA 加以实现, 制成了高可靠性的单片 SRD 控制电路. 实验表明: 用 VHDL 设计的 SRD 模糊控制器不仅可靠性高, 而且还支持众多的硬件模型, 具有较强的通用性.

[关键词] SRD, 模糊控制, 数字化设计, VHDL 语言

[中图分类号] TM352; TM571.6⁺, [文献标识码] B, [文章编号] 1672-1292-(2004)01-0038-04

0 引言

开关磁组电动机调速系统 SRD(Switched Reluctance Drive) 是融新型电机结构即 SRM(Switched Reluctance Motor) 与现代电力电子技术控制于一体的新型调速系统, 它具有很多优点^[1,2], 因此, SRD 作为一种新型的调速系统, 兼有直流调速和交流调速的许多优点, 已被广泛地应用于各种工业领域.

模糊控制器是一种语言控制器, 它无需对控制对象有精确数学模型, 就能实现良好的控制. 这对难于建立精确数学模型的 SRD 多变量强耦合非线性系统非常适用. 尤其是比例因子自调整模糊控制器, 它根据电机运行速度与给定速度的偏差及偏差变化率, 对比例因子及参数在线调整, 保证了 SRM 控制系统的快速响应, 并具较小的超调^[3]. VHDL 语言是一种独立于实现技术的硬件描述语言, 它不受特定工艺的束缚, 允许设计者在一定的范围内选择工艺和实现方法. 当产品的产量达到一定数量时, 采用 VHDL 所描述的电路还能很容易的将其转化成 ASIC 设计, 有时用 VHDL 的原代码还可以直接用于 ASIC 设计. 因此, 用 VHDL 设计的 SRD 模糊

控制器不仅可靠性高, 而且还支持众多的硬件模型, 具有较强的通用性.

1 模糊控制器及数字化设计

图 1 为 SRM 控制系统的原理图. 速度调节器采用二维模糊控制器调节器, 以改善系统的动态性能. 即模糊控制器的输入为速度偏差 e 、偏差变化率 $e' = e_k - e_{k-1}$ 对应的模糊控制集 E 、 EC . 输出为 PWM 调节器控制量的增量对应的模糊集 U . e 、 e' 经量化因子 GE 、 GEC 量化后, 得到对应的量化等级. 其量化等级分别表示为 $\{-7, -6, -5, -4, -3, -2, -1, 0, 1, 2, 3, 4, 5, 6, 7\}$. 控制决策表是经离线模糊控制推理运算并结合系统的实际运行进行调整、修改得到的. 如表 1 所示^[3]. 它是基于 e 、 e' 的量化因子 E 、 EC 得到的输出增量 U 的查询表. 表 1 仅反映常规模糊控制的控制规则. 不能保证系统的动、静态特性在大范围内始终最优. 因此, 为改善模糊控制器的性能, 根据系统的误差和误差变化等信息, 对控制器实行在线调整, 为了简化运算我们仅在线调整比例因子 GU , 实际输出的控制量为 $U(nT)$:

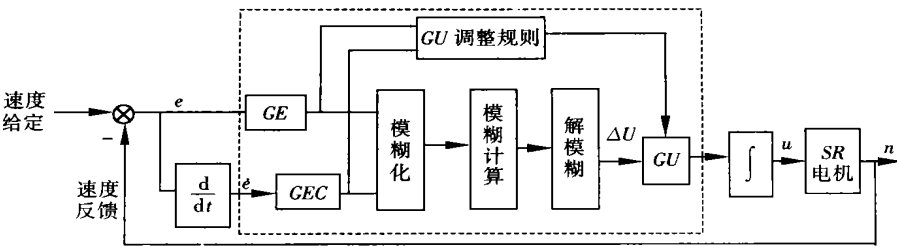


图 1 SRM 控制系统的原理图

表1 模糊控制决策表(增量 U 查询表)

E	EC																					
	-7	-6	-5	-4	-3	-2	-1	0	+	1	+	2	+	3	+	4	+	5	+	6	+	7
-7	-7	-7	-7	-7	-7	-7	-7	-6	-4	-2	-2	-2	-2	-2	-1	0	0					
-6	-7	-7	-7	-7	-7	-6	-6	-6	-3	-2	-2	-2	-2	-2	-1	0	0	0	0	0	0	0
-5	-7	-7	-6	-6	-6	-6	-4	-4	-4	-2	-2	0	0	0	0	0	0	0	0	0	0	
-4	-7	-7	-6	-6	-6	-6	-4	-4	-3	-2	-2	0	0	0	0	0	0	0	0	0	0	
-3	-7	-6	-6	-6	-6	-6	-4	-4	-3	-2	-1	0	0	0	0	0	0	0	0	0	0	
-2	-7	-6	-5	-4	-4	-4	-4	-2	0	0	0	1	2	2	3	4						
-1	-7	-6	-4	-4	-4	-4	-3	-1	0	0	0	1	2	2	4	4						
0	-7	-6	-4	-4	-4	-2	-1	0	1	2	2	2	2	2	4	4						
1	-5	-4	-2	-2	1	0	0	1	2	2	4	4	4	4	6	7						
2	-4	-3	-2	-2	1	0	0	2	2	2	4	4	4	5	6	7						
3	0	0	0	0	0	1	2	3	4	4	6	6	6	6	6	7						
4	0	0	0	0	0	2	2	4	4	4	6	6	6	6	7	7						
5	0	0	0	0	1	2	2	4	4	4	6	6	6	6	7	7						
6	0	0	0	1	2	2	2	4	4	4	6	7	7	7	7	7						
7	0	0	1	2	2	2	2	4	4	4	7	7	7	7	7	7						

表2 比例因子 GU 取值查询表

E	EC														
	-7	-6	-5	-4	-3	-2	-1	0	1	2	3	4	5	6	7
-7	10	8	6	6	4	3	3	3	3	3	4	6	6	8	10
-6	8	6	6	4	3	3	3	3	3	3	4	6	6	8	8
-5	6	6	4	3	3	3	3	3	3	3	3	4	6	6	6
-4	6	4	3	3	3	3	3	3	3	3	3	3	4	6	6
-3	4	3	3	3	3	3	3	3	3	3	3	3	3	4	6
-2	3	3	3	3	3	3	3	2	3	3	3	3	3	3	3
-1	3	3	3	3	3	3	2	1	2	3	3	3	3	3	3
0	3	3	3	3	3	2	1	1	1	2	3	3	3	3	3
1	3	3	3	3	3	3	2	3	3	3	3	3	3	3	3
2	3	3	3	3	3	3	3	2	3	3	3	3	3	3	3
3	4	3	3	3	3	3	3	3	3	3	3	3	3	3	4
4	6	4	3	3	3	3	3	3	3	3	3	3	3	4	6
5	6	6	4	3	3	3	3	3	3	3	3	4	6	6	6
6	8	6	6	4	3	3	3	3	3	3	4	6	6	8	8
7	10	8	6	6	4	3	3	3	3	4	6	6	8	10	10

$U(nT) = U[(n-1)T] + U(nT) * GU$ (1)

调整规则是: 当 E 和 EC 较大时, 系统主要是减小误差, 加快动态过程, 应取较大的控制量, 即增大 GU ; 当 E 和 EC 较小时, 系统将接近稳定值, 这时应减小 GU , 使控制量的阶跃变化小, 最终达到稳定误差小的要求. 由此经离线模糊推理运算, 结合系统实际运行调整, 得到比例因子 GU 取值的在线查询表, 如表 2 所示^[3].

设计时根据实际运行情况, 确定 e 的变化范围为 $[400, -400]$, \dot{e} 的变化范围为 $[200, -200]$

所以量化因子 $GE = \frac{14}{400 - (-400)} = \frac{7}{400}$,

$GEC = \frac{14}{200 - (-200)} = \frac{7}{200}$.

由给定计数器得到给定速度, 与测速单元测到的速度反馈信号相减, 得到本次采样的速度偏差 $e(nT)$. $e(nT)$ 与上次速度偏差 $e[(n-1)T]$ 相减得本次采样的偏差变化 $\dot{e}(nT)$; 则 $e(nT)$ 送至 $e[(n-1)T]$ 作为下次采样时的上次速度偏差; $e(nT)$ 乘以 GE 得到 $e(nT)$ 的量化等级; $\dot{e}(nT)$ 乘以 GEC 得到 $\dot{e}(nT)$ 的量化等级; 查表 1 得到本次模糊控制输出 $U(nT)$; 查表 2 得到比例因子 GU ; 计算得到本次 PWM 调节的增量 $\Delta U(nT)$; 与 PWM 导通时间给定寄存器中内容相加, 即获得本次 PWM 调节的脉冲宽度. 达到电压 PWM 调节改变 SRD 系统转速的目的. 模糊控制器的数字化设计原理如图 2 所示.

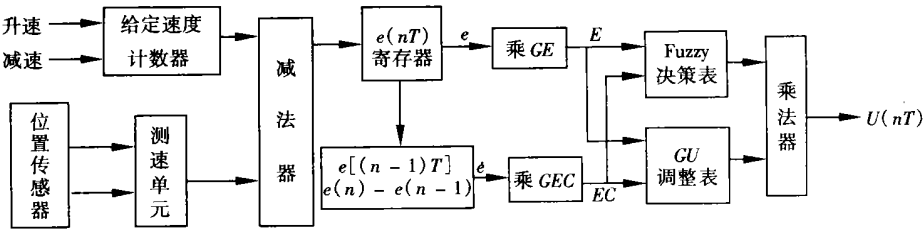


图2 模糊控制器的基本原理图

2 VHDL 数字化设计

本方案采用 VHDL 语言完成模糊控制器的数字化设计. 设计时为方便仿真将整个系统分成 3 个相对独立的模块, 如图 3 所示.

Cont1 为速度给定寄存器模块, 其输出 QA 为给定速度, 最大值为 1 500 r/min; AULL 为计算模块, 输入信号为给定转速 QA 和实测转速 QB, 由 AULL 完成偏差 e 和偏差变化率 \dot{e} 的求取、量化. Altera 公司的芯片 FLEX10K10 具有特殊的嵌入式阵列

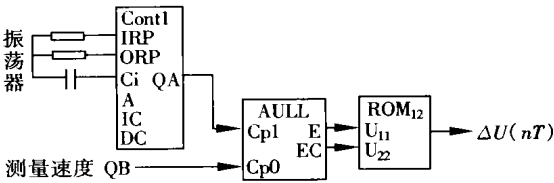


图3 模糊控制器的三个模块

EAB, EAB 是在输入、输出上带有寄存器的 RAM 块, 它可以非常方便的实现规模不大的 FIFO、ROM、RAM 等功能. 在查表模块 rom12 中将其配置成 256×8 的 ROM, 存储表 1 和表 2 的数据. 由于

EAB 没有写保护,可以在器件运行过程中重写数据,这比真正的 ROM 更加灵活.

$\Delta U(nT)$ 以原码(正数)或补码(负数)的形式给出,以便于直接进行 PWM 的调节运算.由于篇幅的限制,构成 3 个子模块的 VHDL 程序省略.

2.1 速度给定子模块 cont1

由振荡器输出频率 $f_0(250\text{ Hz})$ 经 4 分频后得 $f_4 = f_0/4$; $A = 1$ 时,选通 f_0 作为计数器 counter 的计数时钟脉冲,在 6 s 内使给定值 QA 达到最大 1 500; $A = 0$ 时,选 f_4 作为计数脉冲,在 24 s 内使给定值达到 1 500; 这便于给定速度较低时的调整. $IC = 1$ 给定值 QA 逐次加 1, $DC = 1$ 时给定值 QA 逐次减 1. 框图如图 4 所示.

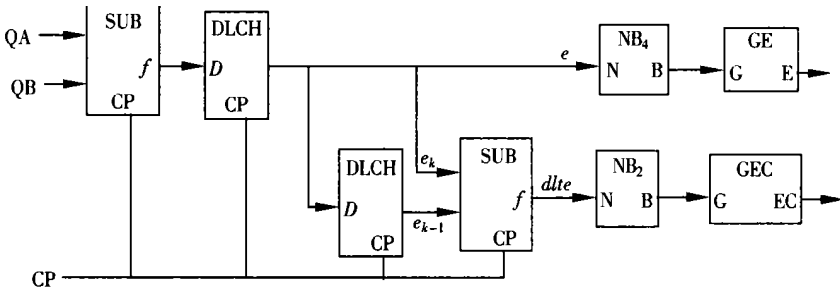


图 4 速度给定子模块 cont1

2.2 运算模块 AULL

在这一部分要完成大量的算术运算,即对输入 的无符号数 QA 、 QB 进行添加符号、求补以及加 法、减法、乘法和除法等运算.其模块如图 5.

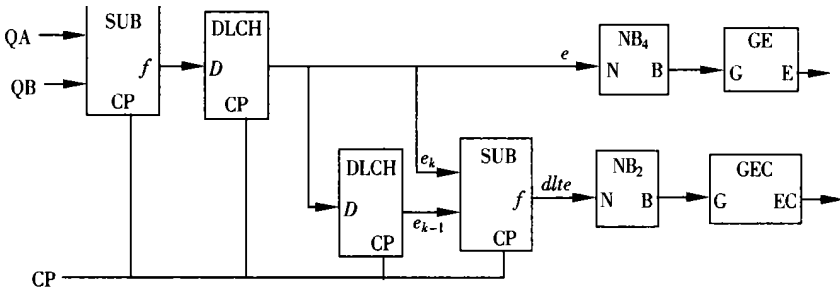


图 5 运算模块 AULL

(1) 将给定速度 QA 与电机的实测速度 QB 相 减,即获得速度偏差信号 e ;

$$e = QA - QB = QA + QB_{\text{反}} + 1 = QA + QB_{\text{补}};$$
 由于速度 QA 、 QB 为无符号二进制数,而 e 则 可能为正或负数,必须用带符号数表示;因此,需对 QA 、 QB 进行添加符号位,然后将减数求反加 1(求 补)处理,以获取带符号的偏差 e 值.当 e 为正数时 用原码表示,为负数时用补码表示. e 经 DLCH 锁存 后作为 e_{k-1} 与本次的 e_k 相减得偏差变化率 $dlte$.

(2) 在 NB2 和 NB4 模块中实现将有符号数还 原为原码的运算.并将其 e 的大小限制在小于等于 400 以内, $dlte$ 限制在小于等于 200 以内.

(3) 在 GE 和 GEC 模块中,将实现乘法和除法, 并对 e 和 $dlte$ 进行归 7 化的量化处理,得到 e 和 $dlte$ 小于等于 7 的二进制码 E 、 EC .由于商最大只能为 7,所以在设计中采用了被除数减除数,够减则商加 1;不够减则结束,或减 7 次自动结束.这在商数较 小时是一种简便的方法.

2.3 查表模块 rom12

此模块完成了决策表和比例因子取值表的查 表工作和 U 、 GU 的相乘运算,如图 6.设计时将表 1 和表 2 合成了一个表,每个字为 8 位二进制数.其中 表 1 的正、负符号位用 0、1 表示,大小用 3 位二进制

数表示(最大值为 7).表 2 全为正数,故用 4 位二进 制数表示其大小.例如,当计算得: $E = 1$, $EC = - 5$ 时,查表 1、表 2 知, $U = - 2$, $GU = 3$,则由 rom12 输出一个 8 位数: 1010, 0011;高 4 位为 $U = 1010$,低 4 位为 $GU = 0011$.

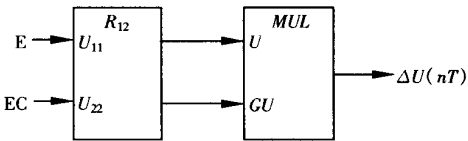


图 6 查表模块 rom12

整个系统全部用 VHDL 描述,并用 MAX + PLUS2 软件进行了功能仿真,配置在 FPGA 芯片 EPF10K10LC84 中.由于 FPGA 芯片的结构限制,在 VHDL 设计中只能使用可综合语句,这对硬件电路 的设计技巧要求很高,经过作者多次反复修改,最 终的仿真验证其设计完全可以达到要求.

3 仿真、实验结果

图 7 为模糊控制器的仿真波形.经比较与手工 计算的结果完全相同.

将仿真成功的模糊控制器与数字 PWM 调节 器、逻辑分配单元进一步综合,并在 Altera 公司提 供的软件 MAXPLUS2 9.23 上进行了仿真,配置在

EPF10K10LC84- 4 的 FPGA 芯片中, 即构成了基于比例因子自调整 SRM 控制系统的单片控制电路. 并依此作为控制电路, 完成对 0.75 kW SRM 的实验. 图 8 为系统运行在 1 000 r/min 时, 比例因子自

调整模糊控制与常规模糊控制时系统动负载扰动动态性能比较. 由此可看出用 FPGA 实现的比例因子自调整模糊控制器组成的 SRM 系统, 具有优良的动、静态性能.

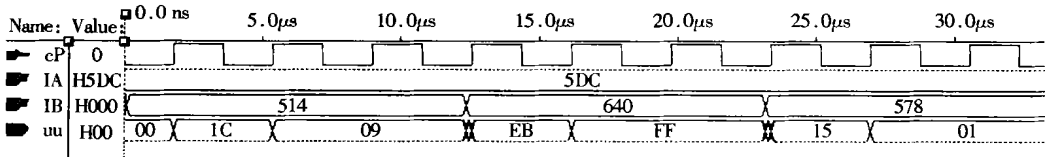
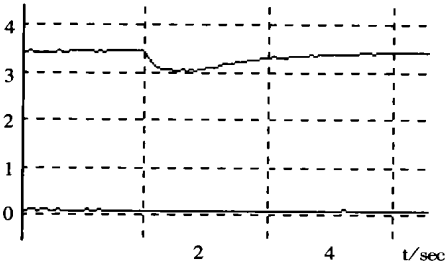
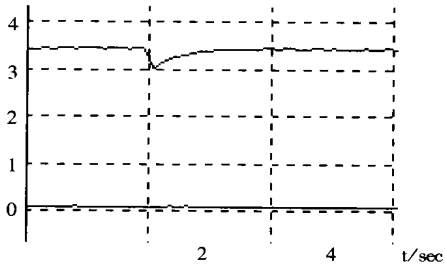


图 7 模糊控制器的仿真波形



(a) 常规模糊控制



(b) GU 自调整 Fuzzy 控制

图 8 SRD 抗瞬时负载扰动性能对比

[参考文献]

[1] Sepenon J M, ed. Saturation in Doubly Salient Reluctance Motors[J]. IEEE. Proc. 1989, 136(B), (1) .
[2] Reay D S, ed. Switched Reluctance Motor Control Via Fuzzy Adaptive System[J]. IEEE. control Sestem, 1995.

[3] 王宏华. 开关磁阻电动机比例因子自调整模糊控制器设计[J]. 电气传动, 2001, 2: 17~ 19.
[4] KevinSkahill. 可编程逻辑系统的 VHDL 设计技术[M]. 朱明程, 孙普译. 南京: 东南大学出版社, 1998.
[5] 王思聪, 周百新. 基于 CPLD 的开关磁阻电动机控制电路设计[J]. 电气自动化, 2001, 3: 11~ 12.

Design of Fuzzy Controller for SRD Based on VHDL

Guo Aiqin, Zhou Baixin

(College of Electrical and Electronic Engineering, Nanjing Normal University, Nanjing 210042, PRC)

Abstract: This paper introduces the model for proportional factor self-regulating fuzzy controller of SRM(Switched Reluctance Motor), which is digitally designed in hardware description language, VHDL, and is made on FPGA (Field Programmable Gate Array). A monolithic control circuit of SRD with high reliability has been completed.

Key words: SRD, fuzzy control, digital design, VHDL

[责任编辑: 刘健]