

惯性仪表数据采集模块的设计与实现

方红¹, 丁敏²

(1 东南大学 生物科学与医学工程系, 江苏 南京 210018;
2 中国航天科技集团公司 一院第 4 研究所, 北京 100076)

[摘要] 从某型惯性航姿系统的使用要求和数据特点出发, 确定了数据采集模块的设计目标, 为了保证数据采集的实时性和减轻主计算机的负载, 采用双 CPU 的并行工作方式设计; 针对模块与主计算机之间的总线接口要求, 设计了基于 PC104 总线结构、以双口存储器 (DRAM) 数据传输单元的惯性仪表数据采集模块。在软件设计中, 为了提高模块工作的抗干扰能力, 增加了报文自动纠错功能, 大大提高了模块工作的可靠性。

[关键词] 数据采集, 实时, PC 104 总线, DRAM

[中图分类号] TP274 [文献标识码] B [文章编号] 1672-1292(2005) 04-0022-04

The Design and Realization of a Data Sampling Module for Inertial Sensors

FANG Hong¹, DING Min²

(1. Department of Biomedical Engineering, Southeast University, Jiangsu Nanjing 210018, China
2. The Fourth Institute, China Aerospace Science and Technology Corporation, Beijing 100076, China)

Abstract In this paper introduced is a real-time data sampling for inertial sensors in an inertial heading and attitude reference system. First the design goal and structure of the module are analyzed according to the real demand and data type to be gained, a dual CPU mode is adopted in order to guarantee the on-time sampling and reduce the load from main CPU, then the data sampling module for inertial sensors base on PC104 BUS and dual RAM is presented. To enhance the ability of anti-jamming and reliability, the auto-correcting function has been added in the software design. The design method and realization are helpful for industrial control application.

Key words data sampling, real-time, PC104 bus, DRAM

0 引言

惯性航姿系统是一种实时姿态信息测量系统, 它主要用于实时测量运动载体 (如航天器、飞机、舰船以及车辆等对象) 的姿态和位置信息, 在航天、航空、航海以及大地测量等领域有着广泛的运用前景。由于惯性航姿系统是一个实时性要求很强的测量系统, 因此其传感器—惯性仪表 (陀螺仪和加速度计) 数据的实时获取是保证其精度指标的关键技术之一。

在惯性航姿系统的实际应用中, 传感器的采样速率一般在 100 Hz 以上, 且传感器安装在姿态信息的实际测量点, 通常距离中心计算机达 100 m 左右, 为了保证数据通信的可靠性, 通常陀螺仪的模拟输出在测量点处经 AD 转换模块转换成数字信

号, 然后以串行报文的形式输出, 而加速度计的输出经电流/频率 (IF) 转换模块后以频率信号形式输出。此外, 由于串行通信的速度较慢, 且数据采集频率较快, 为了解决通信接收的慢速度和主计算机的快速度之间的矛盾, 本设计采用双 CPU 工作方式, 即利用从 CPU 专门负责传感器的数据采集, 从 CPU 与主 CPU 之间采用高速数据交换缓冲单元完成数据的实时传递。

根据设计要求, 本数据采集模块的任务是按照一定的节拍实时准确地采集这两类数据, 数据采集模块主要完成以下功能:

- (1) 实时接收外部惯性传感器的数据;
- (2) 产生 100 Hz 时钟信号作为采样节拍;
- (3) 通过总线与主 CPU 进行通讯和数据交换。

收稿日期: 2005-06-28

作者简介: 方红 (1966-), 女, 讲师, 主要从事传感器技术方面的研究。E-mail: hfang@seu.edu.cn

1 硬件设计

为了保证数据的实时获取, 同时又不影响主 CPU 的运行效率, 本设计中采用一个局部 CPU 专门管理和控制模块的工作, 它与系统主 CPU 相互独立、并行运行, 它们之间的数据交换则通过一个挂在 PC104 总线上双向数据缓冲单元来实现. 因此, 数据采集模块对于主 CPU 来说只是一段特殊的内存存储区, 采用内存模式的数据交换方式可大大提高数据的交换速度. 陀螺仪输出数据为一高速串行数据, 可采用一串行接口完成接收. 加速度的输出为频率信号, 采用 32 位高速计数器单元接收. 时统信号则由高精度晶振通过分频电路实现.

1.1 模块局部 CPU 的选择

从模块的性能、体积和成本等因素考虑, 模块的局部 CPU 采用 W NBOD 公司的 77E58 该 CPU 与传统的 8031 和 89C51 基本兼容, 但在相同的外部晶振条件下运行速度可提高 3~4 倍. 77E58 自带 2 个高速全双工异步串行接口 (USART)、4 个 8 位 D 口、256 字节片内 RAM 和 32kEEPROM^[1].

1.2 陀螺仪串行输出数据的接收

采用 77E58 片内串行接口进行接收, 考虑到信号传输中的抗干扰问题, 数据采用 RS422 差分电平传输, 在数据接收端需采用电平转换模块、光耦隔离和跨接平衡电阻等措施^[2].

1.3 频率信号的接收

频率信号的接收采用定时计数的方式接收, 整个系统中共有 6 路输入频率信号. 根据系统的设计要求, 该 6 路信号必须同步接收, 且接收过程必须连续, 即在数据的读出过程中计数工作不能被打断. 本设计中采用 2 片 8254 进行接收, 运用 8254 芯片具有的同步锁存功能^[3]实现数据的无间断接收. 此外, 6 路脉冲信号也采用 RS422 差分电平形式传送, 所以接收电路中也包括电平转换和平衡电阻, 原因同前.

1.4 数据交换单元

数据交换单元是主 CPU 和局部 CPU 之间的桥梁, 它将局部 CPU 接收的传感器信息实时地传送给主 CPU, 同时也将主 CPU 的控制命令传送给局部 CPU. 在本设计中, 采用双口 RAM (DRAM) 完成此功能, 在局部 CPU 端, DRAM 在其 I/O 区; 在主 CPU 端, DRAM 则在其 RAM 区.

本设计采用了 IDT 公司的 7130 作为高速双口 RAM, 其存储容量为 1 k, 满足数据交换容量的要求. 图 1 是 IDT7130 的内部功能框图.

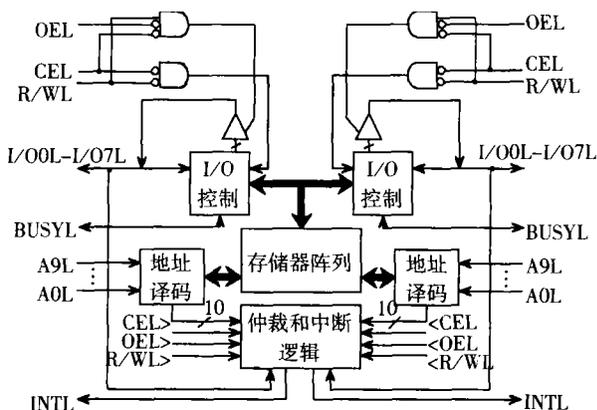


图 1 IDT7130 内部功能框图^[4]

与一般的单口存储器不同, 在双口存储器的应用中, 存在着存储器两端对同一数据单元进行同时操作而带来的数据不可靠问题, 所以必须加入双端操作的仲裁逻辑以保证数据操作的可靠性. 此外, 在主 CPU 和局部 CPU 之间, 除了数据交换外, 还需提供必要的握手机制, 以同步两端的运行. 在本设计中, 采用以下两种仲裁逻辑.

表 1 忙仲裁逻辑基本操作方式

输入			输出		功能
CE _L	CE _R	A _{OL} ~ A _{GL} A _{OR} ~ A _{GR}	BUSY _L	BUSY _R	
X	X	不相等	H	H	正常
H	X	相等	H	H	正常
X	H	相等	H	H	正常
L	L	相等	*	*	写禁止**

(1) 忙仲裁逻辑

在实际运用中, 双口 RAM 会发生左右两端口同时要求对同一地址单元进行操作的情况. 在这种情况下, 双口 RAM 有可能发生错误 (一边读一边写或两边写), 忙仲裁逻辑可用来解决此问题. 表 1 是忙仲裁逻辑的基本操作方式. * 表示左右两端口地址先稳定者, 则对方 BUSY 信号为低, 本方 BUSY 信号为高; ** 表示当端口 BUSY 信号为低时, 则本端口禁止写.

(2) 双边中断逻辑

双边中断逻辑是通过读或写 DT7130 的最后两个存储单元 (3FEH、3FFH) 来实现的, 该两个单元的内容可由设计者自己定义. 3FFH 是从左至右的中断逻辑单元, 而 3FEH 是从右至左的中断逻辑单元. 左端 CPU 对 3FF 单元进行写操作时, NTR 有效, 向右端 CPU 发中断请求信号, 右端 CPU 响应中断并进入相应的中断服务程序. 中断服务程序结束后, 右端 CPU 通过对 3FFH 单元读操作清除该中断请求信号. 反之, 当右端 CPU 对 3FEH 进行写操作时, INTL 有效, 向左端 CPU 发中断请求信号,

左端 CPU 响应中断并进入相应的中断服务程序。中断服务程序结束后,左端 CPU 可通过对 3FEH

单元读操作清除中断请求。表 2 为中断逻辑表。

表 2 中断逻辑

左端口					右端口					功能
R/W _L	CE _L	OE _L	A _{0L} - A _{9L}	NT _L	R/W _R	CE _R	OE _R	A _{0R} - A _{9R}	NT _R	
L	L	X	3FF	X	X	X	X	X	L	NT _R = L
X	X	X	X	X	X	L	L	3FF	H	NT _R = H
X	X	X	X	L	L	L	X	3FE	X	NT _L = L
X	L	L	3FE	H	X	X	X	X	X	NT _L = H

虽然忙仲裁逻辑可以避免单片机和 PC104 在同时访问同一个地址单元时出现错误,但是为了增加可靠性,在时序设计时,仍然应该避免出现这种情况,防止出现双口 RAM 读写错误。DT7130 的双边中断逻辑给系统提供了一种方便的双机通信的中断方式,相比查询方式,采用这种方式,可以大大提高 CPU 的工作效率。

1.5 总线接口

本设计模块是面向 PC104 总线设计的,PC104 总线信号分为数据总线信号、地址总线信号和控制总线信号。对于地址总线和控制总线,可以采用简单的单向数据缓冲器;而对于数据总线,由于其双向特点,需采用双向数据缓冲器(74LS245)。在主 CPU 对数据采集模块以外的单元访问时,数据采集模块的数据总线对 PC104 总线呈现高阻态,该部分电路的主要难点在于双向缓冲单元的方向控制电路的实现。本模块电路中设计了一种简单实用的控制电路,其逻辑原理如图 2 所示。

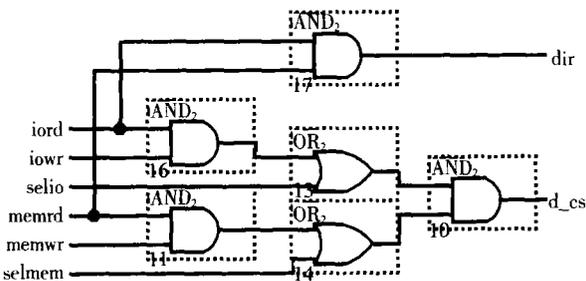


图 2 74LS245 控制逻辑

74LS245 的片选 d_{cs} 方向控制端接 dir 图中 iord iowr memrd memwr 为 PC104 总线信号,selio 和 selmem 为 IO 口和板上双口 RAM 的高位译码信号。对于控制总线和地址总线由于其方向是单向的,因此只需采用单向缓冲器 74LS244 以保证系统的驱动能力不会出现问题。此外,在 IO 口和 RAM 地址译码中除了地址线,还必须加入信号线 AEN 的判断,以区别系统的 DMA 操作^[4]。

图 3 为模块原理结构图。

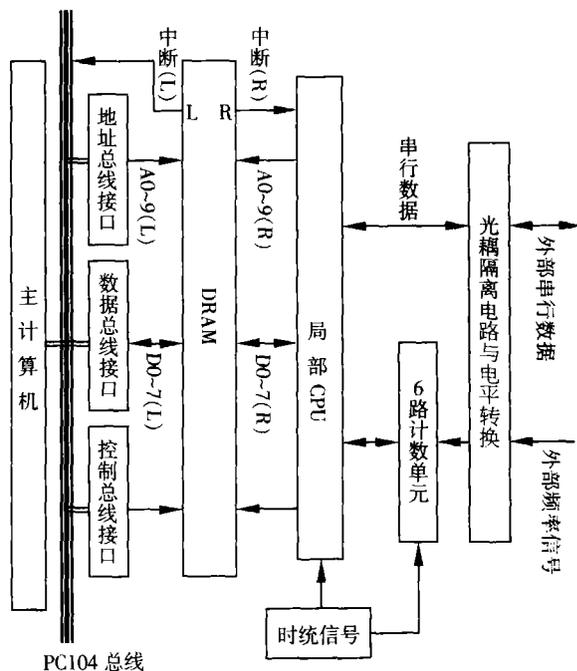


图 3 数据采集模块原理结构图

2 模块软件设计

为了保证模块运行的实时性,在软件设计中,采用中断方式来完成各任务之间的切换,共采用一个初始化模块和 3 个中断服务程序。

2.1 初始化模块

初始化模块的主要工作是设置中断优先级,设置计数器的工作方式和计数寄存器的初始值,启动计数器的控制位,设置串行口的工作方式、串行口波特率的加倍位,串口接收中断标志复位、开串口中断以及数据单元的初始化等。

2.2 中断 0 服务程序

该程序用于响应外部 100Hz 的时统节拍信号,完成一次对各计数器的读取。当该中断响应后,局部 CPU 首先锁定 8254 然后依次读取 6 个通道的计数器,计算出两次采用间隔间的计数脉冲数。

2.3 中断 1 服务程序

该程序为 77E58 的串行接口 0(USRAT0)中断服务程序,当该中断产生时,表示 USART0 接收到

一个字节。

由于数据报文是以帧为单位, 所以该部分程序必须具有自动寻找报文头的功能, 从而实现对一帧报文的完整读取。为了保证通讯的可靠性, 软件中设计一套实用的纠错程序, 以保证报文的正确接收。在本设计中, 报文头为连续 3 个字节“7E”, 报文尾为连续 3 个字节“E7”。通过正文标记、帧尾标记以及 FLAG 位等信号实现对当前接收状态的纪录以及对接收错误的隔离和接收流程的恢复, 具体设计思路和方法见图 4

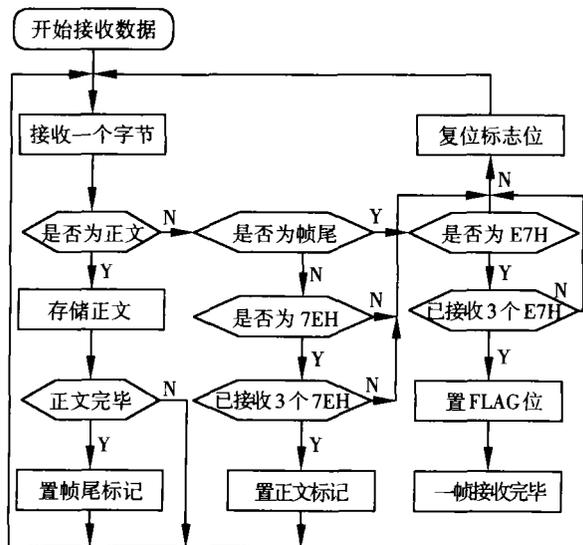


图 4 USART 中断程序框图

此外中断 2 为来自 DRAM 的中断, 用来接收来自主 CPU 的中断, 完成主 CPU 的各种控制命令。

数据采集模块在成功地完成了一次数据获取后, 将数据整理后存放在 DRAM 中, 并通过 DRAM 的握手线向主 CPU 发出中断信号, 然后进入下一个周期的数据获取。主 CPU 在接收到该中断后, 可以从 DRAM 中读出数据, 由于采用内存读写方式, 读取的时间在百 ns 级^[4], 大大节省了主 CPU 的时间。

3 结束语

在工业测量控制系统中, 模拟量的数据采集是保证系统性能指标的关键技术之一。本数据采集模块经过测试运行, 工作正常且满足设计要求, 软件可靠性较好、容错能力强, 目前该模块已在实际系统中得到应用。本文所介绍的设计思想和方法对于其他工业测控应用对象也有借鉴和推广价值。

[参考文献]

- [1] 陈伟人. 单片微型计算机原理及其应用 [M]. 北京: 清华大学出版社, 1989.
- [2] 何立民. 单片机应用系统设计 [M]. 北京: 北京航空航天大学出版社, 1999.
- [3] 仇玉章. 32 位微型计算机原理与接口技术 [M]. 北京: 清华大学出版社, 1995.
- [4] 李家滨, 白英彩. 微型计算机硬件教程 [M]. 北京: 海洋出版社, 1993: 250-259.
- [5] Grehan R, Moot R, Cyliax I. 32 位嵌入式系统编程 [M]. 许汝峰, 译. 北京: 中国电力出版社, 2001.

[责任编辑: 严海琳]