

基于 SOPC 的 VGA 测试信号发生器设计

张 阳, 陈家胜

(南京师范大学 物理科学与技术学院, 江苏 南京 210097)

[摘要] 依据 VGA 接口原理, 使用 SOPC 技术实现 VGA 图形显示. 利用一片 Altera 的 Cyclone 系列 FPGA (现场可编程门阵列) 实现准确的时序产生和简单的外围扩展, 利用按键和串口控制 VGA 信号输出模式和图形选择, 灰度液晶显示当前 VGA 信号类型. 整个 Nios II 系统综合可编程逻辑器件原有优势和单片机的优点, 可将要显示的测试图形数据直接送到显示器, 节省了计算机的处理过程, 加快了数据的处理速度, 节约了硬件成本.

[关键词] SOPC, Nios II, VGA, 信号产生

[中图分类号] TP365.1 [文献标识码] B [文章编号] 1672-1292(2008)02-0078-03

Test Signal Generator With VGA Interface Based on SOPC

Zhang Yang Chen Jiasheng

(School of Physics and Technology, Nanjing Normal University, Nanjing 210097, China)

Abstract According to the principle of VGA interface, display of VGA with SOPC technology is designed. Based on one cyclone series FPGA produced by Altera, an accurate schedule and a simple periphery are achieved. The key and UART control the mode of VGA signals output. The LCD displays the style of current signal. The whole Nios II system has excellences of PLC and MCU. Using FPGA to design a VGA interface can send the data directly onto the screen for display, which cuts down the process of PC, thus quickening the speed of data process and saving the expense of the hardware.

Key words SOPC, Nios II, VGA, signal generation

目前大多数计算机与外部显示设备之间都是通过模拟 VGA 接口连接, 外部显示设备的性能调试一般采用固定的几种测试图案, 完全可以采用 FPGA 来实现, 减小成本, 方便调试^[1].

本文的设计采用 Altera 公司先进的 SOPC (可编程片上系统) 解决方案. 32 位 Nios II 软核 CPU 系统, 通过灵活的 Avalon 总线, 控制 VGA 信号产生、键盘状态读取、液晶界面显示等功能. SOPC 的设计技术是现代计算机辅助设计技术、EDA 技术和大规模集成电路技术高度发展的产物^[2]. SOPC 是一种特殊的嵌入式微处理器系统, 它是片上系统 (SOC), 由单个芯片完成整个系统的主要逻辑功能. 同时, 它也是可编程系统, 以 FPGA 为硬件基础, 具有灵活的设计方式, 可裁减、扩充、升级, 具备了软硬件系统在线可编程的功能^[3].

1 系统架构

系统选用 Altera 公司推出的低成本的 Cyclone II 系列 EP2C8Q208 芯片. 该器件具有 8 256 个逻辑单元, 36 个 M4K RAM 块, 165 888 个 RAM 位和 2 个锁相环, 最大用户可用引脚 182 个^[4]. 利用 EP2C8Q208 丰富的资源和 Quartus 6.1 和 Nios II 软件开发环境, 完成系统硬件和软件设计. 该系统结构如图 1 所示.

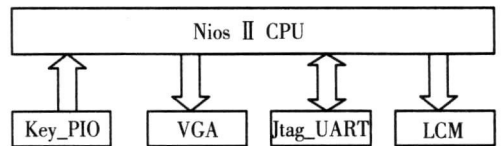


图 1 Nios II 系统结构

Fig.1 Nios system sketch map

收稿日期: 2007-05-18

通讯联系人: 陈家胜, 教授, 研究方向: 嵌入式测控技术. E-mail: chenjiasheng@njnu.edu.cn

2 硬件设计

系统根据键盘选择,产生不同的 VGA 信号,并在 128 32的液晶和 JTAG_ UART上显示测试图形种类. VGA 信号主要是 RGB信号和时序信号. VGA 的 RGB信号经过 CS7123进行数模转换,CS7123包括 3路高速、10位输入的视频 DA 转换器、标准的 TTL输入和互补输出高阻抗的模拟输出电流源. 它有 3路独立的 10位输入端口,可以在单电源 5V 下工作,也可以在单电源 3 3V 下工作. 硬件系统结构框图如图 2所示.

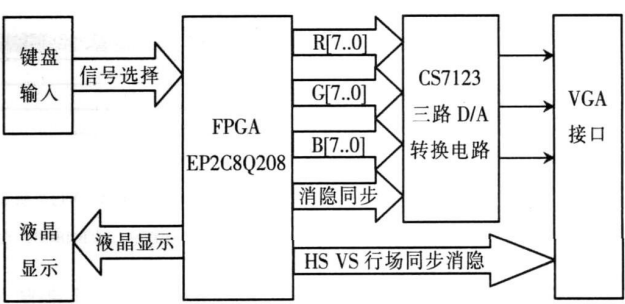


图 2 硬件系统结构框图

VGA 的时序图如图 3 所示. 选择显示 800 60Q 72 H z 模式, 其点时钟 DCLK 为 50 000MH z 场频为 72 2 H z 图中场同步信号, 场周期 T_{vsync} 为 13 850m s 每场有 666 行, 其中 604 行为有效显示行, 62 行为场消隐期. 场同步信号 V_s 每场有一个脉冲, 该脉冲的低电平宽度 T_{wv} 为 6 行. 场消隐期包括场同步时间 T_{wv} 场消隐前肩 T_{hv} (35 行)、场消隐后肩 T_{vh} (21 行), 共 62 行. 行周期为 20 80 μ s 每显示行包括 1 040 点, 其中 806 点为有效显示区, 234 点为行消隐期 (非显示区). 行同步信号 H_s 每行有一个脉冲, 该脉冲的低电平宽度 T_{wh} 为 120 个 DCLK, 行消隐期包括行同步时间 T_{wh} 行消隐前肩 T_{hc} (53 个 DCLK) 和行消隐后肩 T_{ch} (61 个 DCLK), 共 234 个点时钟. 复合消隐信号是行消隐信号和场消隐信号的逻辑与, 在有效显示期复合消隐信号为高电平, 在非显示区域它是低电平^[5].

Fig.2 Hardware system sketch map

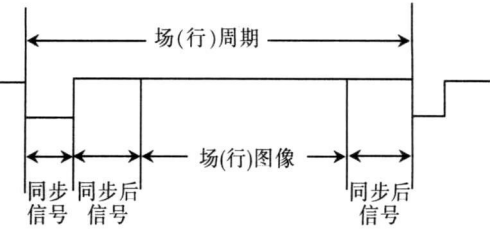


图 3 VGA 行场扫描信号时序图

Fig.3 Row/field scanning signal timing diagram

由此在模块中确定时间常数:

/ 水平方向时间常数

- parameter H_ PIXELS = d806
- parameter H_ FRONTPORCH = d53
- parameter H_ SYNCTME = d120
- parameter H_ BACKPORCH = d61
- parameter H_ SYNCSTART = d859
- parameter H_ SYNCEND = d979
- parameter H_ PERIOD = d1040

/ 垂直方向时间常数

- parameter V_ LNES = d604
- parameter V_ FRONTPORCH = d35
- parameter V_ SYNCTME = d6
- parameter V_ BACKPORCH = d21
- parameter V_ SYNCSTART = d639
- parameter V_ SYNCEND = d645
- parameter V_ PERIOD = d666

上面的程序仅仅反映 SVGA 模式下的信号时序, 对于不同的刷新频率和分辨率, 可以利用锁相环来得到所需要的像素时钟, 如表 1 所示. 然后根据其行场扫描信号占用时间分别修改上述程序中对应参数.

表 1 不同刷新率、分辨率的像素时钟

Table 1 Pixel clocks in different resolutions

格式	帧频 /Hz	行频 /kHz	像素时钟 /MHz	有效像素
VGA 60Hz	59.9	31.5	25.175	640 480
VGA 75Hz	75.0	37.5	31.500	640 480
VGA 85Hz	85.0	43.3	36.000	640 480
SVGA 60Hz	60.3	37.9	40.000	800 600
XVGA 72Hz	72.2	48.1	50.000	800 600
SVGA 75Hz	75.0	46.9	49.500	800 600
SVGA 85Hz	85.0	53.7	56.250	800 600
XVGA 60Hz	60.0	48.4	65.000	1 024 768
XVGA 75Hz	75.0	60.0	78.250	1 024 768

3 软件设计

在 SOPC 设计中, 首先在 Quartus 环境用 Verilog HDL 编写 VGA 显示模块, 然后在 SOPC Builder 环境下, 通过对 Nios II 软核外围的功能模块的扩展 Jtag_ UART、LCM、Key_ PIO、VGA, 编译产生一个 Nios II 系统, 通过 Jtag 下载至芯片^[7].

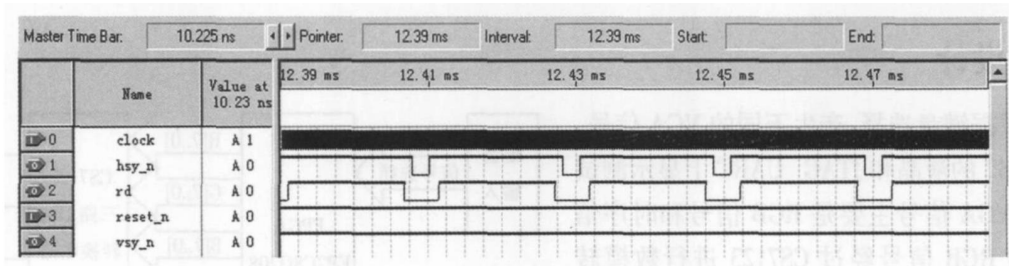


图 4 VGA 模块仿真结果

Fig.4 Emulator of VGA module

在 Nios II 编程环境中, 只要按照读取的不同键值, 给 VGA 模块不同的指令, 即可以得到所需要的测试信号, 并同步调用 LCM、Jtag_UART 模块, 显示输出信号类型. 程序主体如下:

```
if ( last_tested== edge_capture) continue;           // 读取键值 (经过消抖)
else { last_tested= edge_capture;                     // 有有效键值
    switch ( edge_capture)
    { case 0x1:                                       // 按键 1 有效
        printf( "\nVGA 1 ( SW 0 ) chosed \n");       // JTAG_UART 显示
        fprintf( lcd, "\nVGA 1 ( SW 0 ) chosed \n"); // LCD 显示
        vga_tested= vga_tested | 0x1;               // VGA 显示 1 号图案
        break;
    }
}
```

上面的程序利用简单的 4 个按键判断实现 4 个 VGA 图案的选择, 如果需要更复杂的图案, 可以利用 Nios II 自带的 Flash IP 核进行扩展存储.

4 结语

本系统设计了一种基于 SOPC 的 VGA 测试信号发生器, 综合了 FPGA 时序设计、MCU 外围扩展的优点, 设计简单、成本较低, 与色彩分析仪等设备配合, 可以对 VGA 接口显示设备进行性能测量.

[参考文献] (References)

[1] ALTERA Co. 低成本 FPGA 在消费类显示产品中的应用 [J]. ALTERA, 2007(3): 1-1.
ALTERA Co. Application of low cost FPGA in consumed display devices[J]. ALTERA, 2007(3): 1-1 (in Chinese)

[2] 周立功. SOPC 嵌入式系统实验教程 [M]. 北京: 北京航空航天大学出版社, 2006 5-6
Zhou Li gong. SOPC Embeded System Experiment Tutorial[M]. Beijing Behang University Press, 2006 5-6 (in Chinese)

[3] 郭书军, 王玉花, 葛纫秋. 嵌入式处理器原理及应用 Nios 系统设计和 C 语言编程 [M]. 北京: 清华大学出版社, 2004 28-29.
Guo Shu jun, Wang Yuhua, Ge Ren qiu. Embeded Processor Theory and Application Nios System Design and C Language Program[M]. Beijing Tsinghua University Press, 2004 28-29. (in Chinese)

[4] ALTERA Co. Cyclone II datasheet[J]. ALTERA, 2005(6): 1-2

[5] 袁俊泉, 孙敏琪, 曹瑞. Verilog HDL 数字系统设计及应用 [M]. 西安: 西安电子科技大学出版社, 2002 213-215
Yuan Jun quan, Sun M in qi, Cao Rui. Verilog HDL Design and Application of Digital System [M]. Xi an X idian University Press, 2002 213-215. (in Chinese)

[6] 李玉山, 来新泉. 电子系统集成设计技术 [M]. 北京: 电子工业出版社, 2002 112-114.
Li Yushan, Lai X in quan. Electronics System Integration Design Technology[M]. Beijing Electrical Industry Press, 2002 112-114. (in Chinese)

[7] 王建校, 危建国. SOPC 设计基础与实践 [M]. 西安: 西安电子科技大学出版社, 2006 43-44
W ang Jian x iao, Wei Jianguo. The Introduction and Practice of SOPC Design[M]. Xi an X idian University Press, 2006 43-44. (in Chinese)

[责任编辑: 严海琳]