

基于门控时钟的片上网络路由单元低功耗设计

翟 亮, 吴 宁

(南京航空航天大学 信息科学与技术学院, 江苏 南京 210016)

[摘要] NoC(Network-on-Chip)已经逐渐代替片上总线互连,成为片上系统的解决方案,然而迅速增长的功耗将阻碍 NoC 的性能与发展.从 NoC 的核心部件路由单元入手,在研究了二维 Mesh 下片上网络路由单元的结构和门控时钟技术的基础上,对路由单元功耗最集中的输入端口采用了模块级门控时钟技术进行低功耗设计,通过利用软件判断控制门控使能信号来实现受控端口时钟的通断.在 ModelSim SE PLUS 6.0 环境下进行路由单元功能仿真,并通过 Synopsys 公司的 Design Compiler 工具给出综合结果,路由单元工作频率 200MHz 动态功耗 51.045mW,降低了 11.38%.

[关键词] 门控时钟,片上网络,低功耗,路由单元

[中图分类号] TP302.1 [文献标识码] A [文章编号] 1672-1292(2009)03-0018-04

Low-Power Design of Router for NoC With Clock Gating

ZhaiLiang Wu Ning

(College of Information Technology Science Nanjing University of Aeronautics and Astronautics Nanjing 210016, China)

Abstract Network-on-Chip (NoC) architectures are gradually replacing interconnection on chip and thus becoming an attractive solution to address the inter-connect delay problems in System-on-Chip. However, increased power dissipation has hindered the wide-deployment of NoCs. From Router, the kernel unit, on the basis of the study of the structure of router on the bidimensional Mesh chip and the technique of clock gating, the paper proposes a low-power design of Router with Model level Clock gating (MCG) techniques, by using code to control the clock signal of the Input. Functional simulation is done with ModelSim SE PLUS 6.0 tools. Results of synthesis with design compiler of the synopsys Inc. show that the dynamic power consumption of a router is reduced by 11.38% with 200MHz operating frequency.

Key words clock gating, NoC, Low-Power, router

随着片上网络 NoC(Network-on-Chip)越来越多的应用于无线、移动和嵌入式等对功耗极其敏感的领域,功耗也就成为 NoC 研究中的最重要的因素之一.功耗过大不仅会影响信号的可靠性和完整性,还会导致芯片封装成本和散热成本的增加,甚至造成能源的浪费.路由单元是实现 NoC 的重要基础部件,因此路由单元的低功耗设计对降低 NoC 功耗有着至关重要的作用^[1].

目前降低 NoC 路由单元功耗的方法主要有削减缓存容量和修改交换开关 (Crossbar) 结构两种.单纯地减少缓存会降低路由单元的收发速率从而影响网络的性能,而修改 Crossbar 结构需要在节点处增加控制电路致使引入新的延时和实现成本^[2].

本文从路由单元时钟网络的功耗入手,针对 4×4 二维网格 NoC 路由单元的输入端口的使用频率相对低、而功耗却相对高这一情况,在既 not 改变路由单元结构也不影响网络性能的前提下,对输入端口采用了模块级门控时钟技术,降低了其在不工作时的功耗损失.

1 路由单元结构与功耗分析

路由单元是 NoC 的基本组件,工作在分层模型中的网络层,实现存储转发、路由计算等功能.如图 1 所示,路由单元主要分为交换开关、路由计算模块、以及东、南、西、北、本地 5 个方向的端口链路控制模块.

收稿日期: 2009-06-29

基金项目: 江苏省自然科学基金 (BK2008387) 资助项目.

通讯联系人: 吴 宁,教授,博士生导师,研究方向: 数字系统理论与技术、电子系统集成与专用集成电路, E-mail: wuning@nuaa.edu.cn

输入模块完成数据的同步接收、存入缓存和发起转发的任务, 包括输入链路控制、虚通道和传输控制. 虚通道是 NoC 路由单元采用最为广泛的一种设计, 但由于需要大量缓存和复杂的控制逻辑导致其具有较大的功耗开销^[3].

输出模块协调本级路由单元输入端口和下一级路由单元输入端口之间的数据转发, 包括输出控制器、输出仲裁、多路选择器. 由于不进行数据的缓存, 因此输出模块产生极低的功耗.

交换开关完成路由单元内部各端口链路之间的信号交换, 采用全连接方式, 具有高速、简单的特点, 同时不可避免的使得电路中存在的冗余的开关动作, 产生额外的功耗.

从上述路由单元主要模块的功耗分析不难发现, 削减缓存和采用分段激活的交换开关可以有效降低功耗. 但是对于基于虚通道技术的 NoC 路由单元来说, 单纯削减缓存会降低其转发速率进而影响网络的性能; 而采用分段激活的交换开关需要额外的控制电路, 将增加延时和实现成本. 路由单元的各模块均工作于同一时钟信号, 但是并不是所有的模块都一直处于工作状态, 可以通过对各模块的工作情况进行监测, 采用门控时钟技术管理时钟树分支, 在不影响路由单元性能的前提下通过降低各模块的功耗来降低整个路由单元的功耗.

2 门控时钟技术

在复杂的片上系统 SoC (System-on-Chip) 设计中, 整个芯片的功耗很大一部分来自时钟网络, 对主流芯片功耗分析的结果显示, 时钟网络的功耗在实际程序运行过程中通常占芯片总功耗的 40% 以上^[4], 所以减少时钟网络的功耗是非常重要的. 门控时钟技术 (Clock Gating), 又常被称为时钟屏蔽技术, 是低功耗领域最常用的一种技术, 原理如图 2 所示. Clk 为系统时钟信号、Gate_Sig 为门控信号、Gated_Clk 为受控对象的时钟输入.

门控时钟技术主要分为: 单元级门控时钟技术 CCG (Cell level Clock Gating)、寄存器传输级门控时钟技术 RCG (Register Transfer level Clock Gating) 和模块级门控时钟技术 MCG (Module level Clock Gating).

CCG 在器件单元级别上实现, 以全定制方式设计了带有公共使能端的多比特触发器单元, 当使能端无效时触发器内部的时钟功耗大大降低. 但是 CCG 因为全定制设计流程非常复杂, 大大延长了芯片上市时间 (Time to Market), 并且 EDA 工具并不支持多比特触发器的自动插入功能^[5].

RCG 通过插入门控电路替代与寄存器输入端相连接的数据选择器, 减小电路中存在的冗余的开关动作, 从而降低了因为寄存器值不发生变化而产生的额外功耗. 但是对一个复杂的设计来说, 采用 RCG 易导致无规律地插入大量门控单元, 对本来就很复杂的后端时钟树设计造成更大的难度; 而且使能信号并不是整个模块或 IP 核的, 依赖于 RTL 代码, 如果代码中没有符合条件的语句, EDA 工具就不能插入门控, 功耗降低不彻底.

MCG 主要思想是对某一模块的时钟信号增加控制逻辑, 用户写控制寄存器为 0 可以关闭该模块的时钟信号, 从而切断整个时钟网络, 降低动态功耗; 用户写控制寄存器为 1, 就可以开启时钟信号. MCG 不需要全定制设计门控单元, 整个模块只需要一个门控单元, 当子模块进入空闲状态时关断相应的时钟树分支, 既可以关闭子模块, 也可以消除时钟网络上冗余的电平翻转^[6], 由于门控单元数量相对其它门控时钟技术明显减少, 所以后端的时钟树设计相对非常简单, 关键是处理好门控单元前后的数据通路. 但是 MCG 并不能自动开关模块的时钟, 而是需要用户软件支持, 并依赖于对模块使用情况的监控, 决定其时钟信号的开启或关闭^[7].

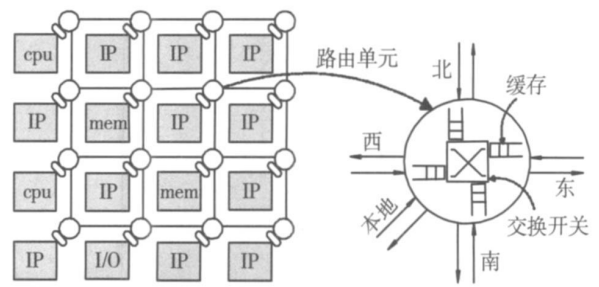


图 1 二维 Mesh 下的 NoC 路由单元示意图

Fig.1 The structure of router in 2D mesh

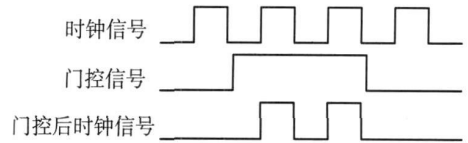


图 2 门控时钟原理图

Fig.2 Wave diagram of clock gating

3 低功耗设计

3.1 设计思路

本文设计的路由单元在输入端口采用了虚通道技术防止计算机网络堵塞造成的死锁、降低消息延迟以及提高网络吞吐率. 每个输入端口包含 4 条虚通道, 每条虚通道内设置了深度为 2 的缓存, 每个缓存存储 1 个微片. 适量缓存的引入在提升路由单元的性能的同时也产生了路由单元甚至 NoC 的主体功耗^[8]. 针对这一现象, 本文在不影响性能的前提下, 对输入端口采用 MCG 进行低功耗设计. 鉴于二维 Mesh 拓扑结构具有对称特性, 路由单元东、南、西和北这 4 个方向的端口采用相同的电路设计. 因此以其中一个输入端口为例, 如图 3 所示.

Gate_En 为门控使能信号, Clk 为同步时钟信号, GC 为门控之后产生的供输入端口工作的时钟信号. 使用锁存器 (Latch) 可以有效抑制毛刺.

3.2 具体实现

当上一级路由单元输出端口接收到来自同级输入端口请求发送信号 (Trans_req) 时, 采用轮询机制确定输出通道号 (Path_sel) 并判断下一级路由单元的工作状态. 如果连接的下一级路由单元输入端口已处于工作状态 (on_state), 则开始发送请求信号 (NexR_req) 和数据 (Data_out); 如果处于关闭状态 (off_state), 则将 EN 置 ‘1’, 开启该输入端口的时钟信号, 并开始发送请求信号 (NexR_req) 和数据 (Data_out). 下一级输入链路控制部分接收到来自前一级路由单元的发送请求 (PreviousR_req), 并给出相应的应答信号 (Previous_ack), 即开始启动数据接收和存储进程. 路由处理应答信号不仅表明路由计算处理完毕, 还标志着一个新的数据包在等待发送, 此时传输控制部分通过监测路由处理应答和虚通道缓存状态来启动数据发送进程, 根据虚通道号和缓存位置读取数据并传输.

当下一级输入链路控制部分检测到 FIFO 状态 (Trans_fifo_state toArbit) 变为空, 并且所请求的相应的同级输出端口已将数据顺利转发至下一级 (East~North_in_use 变为 0), 说明上一级路由单元通过该输入端口一次有效数据包的发送接收已经结束, 若此时来自上一级路由单元的请求 (PreviousR_req) 为 ‘0’, 将 Gate_En 置 ‘0’, 中断该输入端口的时钟信号.

4 实验结果

4.1 功能仿真

采用门控时钟的路由单元在 ModelSim SE PLUS 6.0 环境下进行仿真, 波形如图 4 所示.

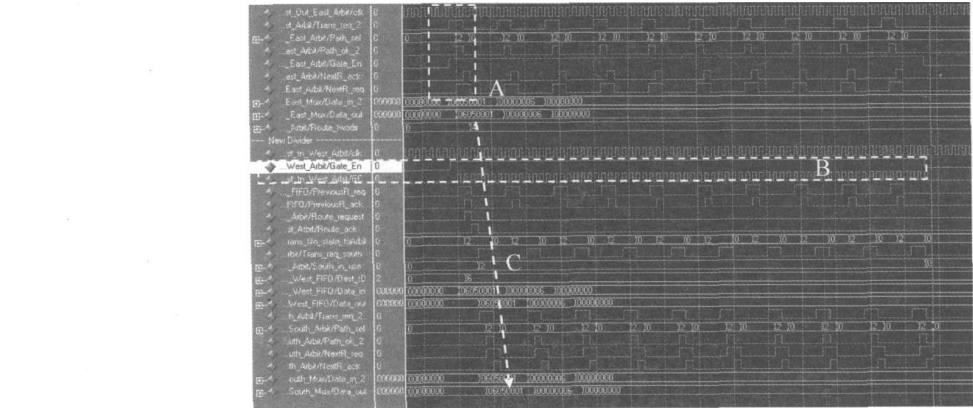


图 4 输入端口仿真波形
Fig.4 Simulation wave form of input

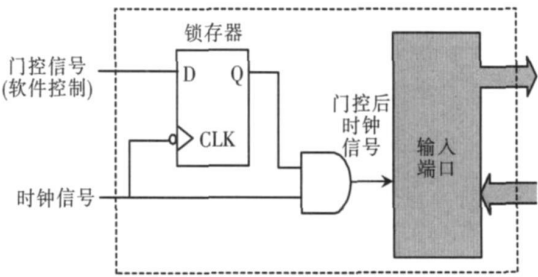


图 3 输入端口门控电路
Fig.3 Input with clock gating circuit

分割线 (New Divider) 上面是前一级路由单元东输出端口的信号, 下面是与之相连的下一级路由单元西输入端口以及南输出端口的信号. 框 A 表明输入端口的门控信号 Gate_En 有效, 框 B 为经过门控之后的下一级输入端口的时钟信号, 箭头 C 表示上一级路由单元通过东输出端口转发的数据包经过下一级的西输入端口并由南输出端口成功发送.

4.2 功耗分析

路由单元基于 Synopsys EDA 平台 Design Compiler 进行综合, 结果如表 1 所示.

表 1 路由单元综合之后的功耗对比

Table 1 Comparison on power consumption of the router

	模块	动态功耗 /mW	泄漏功耗 /mW
无门控时钟	输入端口 (东、南、西、北)	37.460(65.034%)	1.7166
	输出端口 (东、南、西、北)	3.052(5.3%)	0.243
	路由单元	57.601	2.9967
有门控时钟	输入端口 (东、南、西、北)	30.952(60.636%)	1.7201
	输出端口 (东、南、西、北)	3.004(5.9%)	0.246
	路由单元	51.0457	3.0396

从表 1 中可以看出, 输入端口由于采用虚通道技术, 引入了缓存, 所产生的功耗占整个路由单元总功耗的一半以上, 而未设置缓存的输出端口所产生的功耗可以忽略. 在对输入端口采用门控时钟设计之后, 动态功耗降低了 17.37%, 整个路由单元的动态功耗降低了 11.38%. 同时由于增加了门控电路, 输入端口的泄漏功耗略增加了 0.2%, 整个路由单元的泄漏功耗增加了 1.43%.

5 结语

本文针对二维 Mesh 下的 NoC 路由单元功耗比例最大的输入端口采用了模块级门控时钟技术, 通过利用软件判断控制门控使能信号来实现受控端口时钟的通断, 有效的降低了路由单元的动态功耗. 综合结果表明, 采用模块级门控时钟之后路由单元的动态功耗仍然偏高. 低功耗设计是一个复杂的系统问题, 涉及从系统功能级到晶体管版图级的所有抽象层次, 需要综合采用各个层次的低功耗技术进一步进行低功耗优化.

[参考文献] (References)

[1] 谢晓燕, 蒋林. 基于电路交换的 NoC 路由器设计与实现 [J]. 中国集成电路, 2008, 113: 20-25.
Xie Xiaoyan, Jiang Lin. Design and implementation of router based on circuit-switch of NoC [J]. China Integrated Circuit, 2008, 113: 20-25 (in Chinese)

[2] Avinash Kodj, Ahmed Lourj, Janet Wang. Design of Energy-Efficient Channel Buffers with Router Bypassing for Network-on-Chips (NoCs) [M]. Quality of Electronic Design, 2009, 826-832.

[3] R Mullins. The design and implementation of a low-latency on-chip network [C] // Asia and South Pacific Design Automation Conference (ASP-DAC). UK: Cambridge Univ, 2006.

[4] Donno M, Ivaldi A, Benini L, et al. Clock-tree Power Optimization Based on RTI Clock-gating [C] // Proceedings of the Design Automation Conference. Anaheim, CA, USA, 2003: 622-627.

[5] Chang Xiaotao, Zhang Mingning, Zhang Ge, et al. Adaptive clock gating technique for low power IP core in SoC design [C] // ISCAS 2007. Beijing, 2007: 2120-2123.

[6] 张永新, 陆生礼, 茆邦琴. 门控时钟的低功耗设计技术 [J]. 微电子学与计算机, 2004, 21(1): 23-26.
Zhang Yongxin, Lu Shengli, Mao Bangqin. Low-power design with clock gating techniques [J]. Microelectronics and Computer, 2004, 21(1): 23-26 (in Chinese)

[7] 王晓鹏, 朱劲. IP 设计中低功耗技术的实现及实例应用分析 [J]. 科技信息, 2008, 20: 38-39.
Wang Xiaopeng, Zhu Jing. Implementation of Low-power techniques during IP design and analysis of application [J]. Science and Technology Information, 2008, 20: 38-39 (in Chinese)

[8] Avinash Karanth Kodj, Ashwini Sarathy, Ahmed Lourj, et al. Adaptive inter-router links for low-power, area-efficient and reliable Network-on-Chip (NoC) architectures [C] // ASP-DAC 2009. Athens, Ohio Univ, 2009: 1-6.

[责任编辑: 刘 健]