

一种基于 CPLD 高速大容量 双端口 RAM 电路系统的设计

葛学峰^{1,2}, 时 斌¹, 朱晓舒¹, 罗小兵³

(1. 南京师范大学 分析测试中心, 江苏 南京 210046;

2. 南京航空航天大学 理学院, 江苏 南京 211106;

3. 南京师范大学 物理科学与技术学院, 江苏 南京 210046)

[摘要] 双端口 RAM 在智能仪器高速数据采集扮演着重要的作用. 提出了一种高速、大容量、低成本的双端口随机存储器 (RAM) 的设计方案, 该方案通过对复杂可编程 (CPLD) 进行逻辑电路设计实现. 仿真结果表明, 双端口 RAM 的读写控制时序完全符合双端口 RAM 的时序要求, 读写结果正确. 解决了目前市场上缺少高速、大容量、低成本的双端口 RAM 的问题, 方便高速数据采集与处理仪器的快速开发.

[关键词] CPLD, 双端口 RAM, 数据采集

[中图分类号] TH865 **[文献标识码]** A **[文章编号]** 1672-4292(2011) 01-0068-05

A Design of Circuit System Based on CPLD in Dual-Port RAM

Ge Xuefeng^{1,2}, Shi Bin¹, Zhu Xiaoshu¹, Luo Xiaobing³

(1. Center for Analysis and Testing, Nanjing Normal University, Nanjing 210046, China;

2. College of Science, Nanjing University of Aeronautics and Astronautics, Nanjing 211106, China;

3. School of Physical Science and Technology, Nanjing Normal University, Nanjing 210097, China)

Abstract: Dual-port RAM plays an important role in intelligent instrument of high-speed data acquisition. The scheme and the circuit of dual-port RAM, which are high in speed, large in volume and low in cost, are introduced in this paper. The approach was adopted by programming logic circuit in complicated programmable logic device (CPLD). The simulation result of dual-port RAM is verified correct in the timing, the outcome of reading operation and writing operation. The design, which helps the quick development of data sampling and processing instrument, solves the shortage of high-speed, large-volume and low-cost dual-port RAM.

Key words: CPLD, dual-port RAM, data sampling

在高端仪器设备开发中, 经常遇到大容量、高速数据采集的场合^[1-4], 如实时监控图像的采集、脑电图图像的采集、雷达数据的采集、高速数字示波器的数据采集等, 它们共同的特点都是智能高速数据采集, 采集的数据量很大, 而微处理器的运行速度相对较慢, 从而造成微处理器无法实时接收并处理这些数据, 通常的做法是在高速数据采集端与相对慢速的处理器端之间设置双端口 RAM 作为缓冲器, 协调高速的数据采集端和相对慢速的数据处理端的速度匹配问题. 双端口 RAM 常见解决方案有两种, 一种是购买独立的双端口 RAM 集成芯片, 如 IDT 公司生产的 720X 系列, 另外一种是用 FPGA 编程^[5,6], 这两种方法的缺点都在于双端口 RAM 的容量都在几 k 字节, 容量较小, 数据吞吐量小. 目前市场上大容量、高速的双端口 RAM 市场供货量少、价格昂贵, 增加了仪器开发成本和设计困难. 本文采用复杂可编程逻辑器件 CPLD 和高速、大容量的静态 RAM 为基础, 设计一种高速、大容量、低成本的双端口 RAM 电路, 解决了上述问题, 并通过仿真证明该方案是切实可行的.

收稿日期: 2010-12-20.

基金项目: 国家自然科学基金(07KJ51001).

通讯联系人: 葛学峰, 博士, 工程师, 研究方向: 光学工程精密仪器. E-mail: gexuefeng@njnu.edu.cn

1 概述

1.1 随机数据存储器

随机数据存储器(Random Access Memory, RAM) 用作存储数据,其特点是存储速度快、掉电后数据丢失,通常是 CPU 处理数据时用作保存原始输入数据、临时变量、中间结果等用途。单端口 RAM 提供一套总线结构,单片机、ARM、DSP 等微处理器通过该总线与 RAM 进行数据访问。双端口 RAM 提供两套总线结构。在智能高速数据采集仪器中,处理器的总线接口与双端口 RAM 的两套总线中的一套总线接口相连,处理器通过总线对双端口 RAM 进行数据存取;高速数据采集设备的总线接口与双端口 RAM 的另外一套总线接口相连,同样实现对双端口 RAM 的数据存取。双端口 RAM 介于处理器与高速数据采集设备之间,起到数据缓冲的作用,适用于实时监控图像的采集、脑电图的采集、雷达数据的采集、高速数字示波器的数据采集等场合,解决了高速的数据采集端和相对慢速的数据处理端的速度匹配问题。

1.2 复杂可编程逻辑器件

复杂可编程逻辑器件(Complex Programmable Logic Device, CPLD) 是微电子技术不断发展的产物。通过 CPLD 器件,用户可以现场快速地编程定制专用集成电路(ASIC),开发周期短,成本低,克服了以往由半导体厂商来独立承担设计 ASIC 带来的成本高、周期长、不能现场调试的缺点。CPLD 器件的设计通常采用两种基本方法:一是基于原理图的交互式图形法;二是基于硬件描述语言 VHDL 的方法。本文采用交互式图形法,设计过程直观形象,可快速进行 CPLD 器件的开发。

2 设计方法

系统硬件上主要采用复杂可编程器件 CPLD 和单端口普通静态 RAM 两个主要器件构成,其组成框图如图 1 所示。单端口普通静态 RAM 主要用作存储空间,只有一套总线结构,通过对 CPLD 逻辑电路的编程扩展成两套总线结构,即两套地址总线、两套数据总线和两套控制总线,处理器端和高速数据采集端分别使用其中的一套总线,解决相对慢速的处理器与相对高速的数据采集端的数据传输瓶颈问题。

2.1 系统采用的芯片

双端口 RAM 中的存储器采用美国 ISSI 半导体公司(Integrated Silicon Solution, Inc.) 生产的 IS61LV5128 静态 RAM 芯片,能实现超高速存储数据,其存取时间最快达 10 ns,同时能实现超大容量的存储空间,具有 512 k 个字节的容量,这是目前静态 RAM 产品中非常大的容量。它具有 19 根地址总线,从 A0 到 A18;数据总线 8 根,从 D0 到 D7;控制总线 3 根,分别是片选使能 CE、输出使能 OE、写入使能 WE。

复杂可编程逻辑器件采用美国 Altera 公司生产的 EPM7128AELC84-10 芯片,其时间延迟最快达 10 ns,可以在 5 V 和 3.3 V 下同时工作,有 68 个 I/O 口,内部可用逻辑门达 2 500 个。

2.2 系统的设计任务

系统的设计任务是通过复杂可编程逻辑器件 EPM7128AELC84-10 芯片进行编程,对单端口 RAM IS61LV5128 芯片进行地址总线扩展、数据总线扩展、控制总线扩展和状态线的扩展。具体而言,由 A0 ~ A18 地址总线扩展成 A0_L ~ A018_L 和 A0_R ~ A18_R 两套地址总线;由 D0 ~ D7 数据总线扩展成 D0_L ~ D7_L 和 D0_R ~ D7_R 两套数据总线;由 CE、OE、WE 控制总线扩展成 CE_L、OE_L、WE_L 和 CE_R、OE_R、WE_R 两套控制总线;状态线扩展,高速数据采集端在采集时序的控制下不断地向 RAM 中写数据,当写满 512 k 字节,产生一个状态量 FF,该状态量用于通知处理器端可以读取 RAM 中的数据,避免因同时访问静态 RAM 而产生的访问冲突。

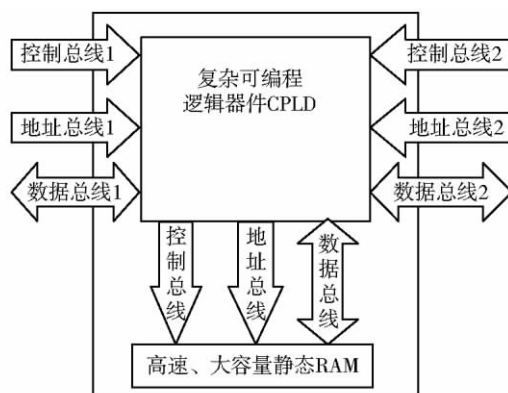


图 1 双端口 RAM 实现方案

Fig.1 Scheme of dual-port RAM

2.3 总线扩展的硬件实现

2.3.1 控制总线的扩展

如图 2 所示,两套写控制信号 R_WR 和 L_WR 接二输入异或门再通过非门求反,当 R_WR 和 L_WR 有一个为低电平时,则/W/R 写信号为低电平,而当 R_WR 和 L_WR 同时为低电平时,则/W/R 写信号为高电平,可避免 R_WR 和 L_WR 同时为低电平时产生访问冲突的问题,即产生访问冲突时,该次访问将无效.读控制信号 R_RD 和 L_RD、片选控制信号 R_CS 和 L_CS 扩展原理同 R_WR 和 L_WR. R/L_SELECT 信号由 R_CS 和 L_CS 通过逻辑组合电路产生,用于选择两套地址总线中的一套地址总线.

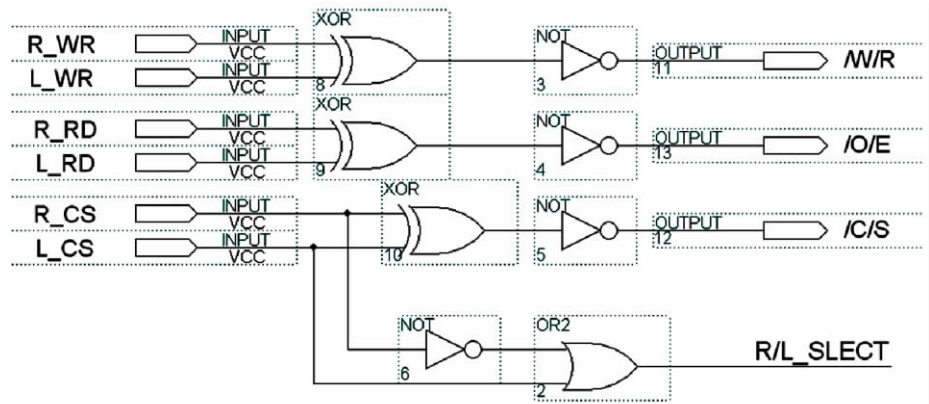


图 2 控制总线扩展

Fig.2 Extending of control bus

2.3.2 状态线的扩展

状态线由计数器对 L_WR 脉冲进行计数,每 512 k 个脉冲其计数器溢出,产生一个高电平状态量,表示双端口 RAM 中数据已满,通知处理器来读取.

2.3.3 地址总线扩展

如图 3 所示,用 Ax_L 和 Ax_R 分别代表两套地址总线中各一条地址信号线, Ax 代表单总线的一条地址信号线. Ax_L 和 Ax_R 分别接入到三态门的输入端,输出端接 Ax,当 R/L_SELECT = 1 时,与 Ax_L 相连的三态门单向导通, Ax_L 与 Ax 相连,而与 Ax_R 相连的三态门呈高阻态, Ax_R 与 Ax 断开,反之亦然,从而实现单套地址总线扩展成两套地址总线.

2.3.4 数据总线扩展

如图 3 所示,用 Dx_L 和 Dx_R 分别代

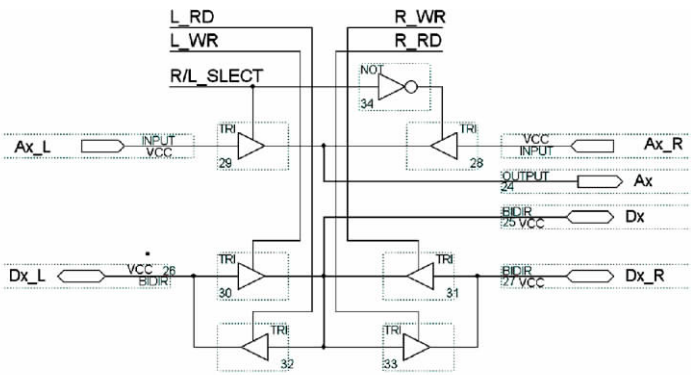


图 3 地址总线及数据总线的扩展

Fig.3 Extending of address bus and data bus

表两套数据总线中各一条数据信号线, Dx 代表单总线的一条数据信号线. 由于数据总线的数据是双向流动的,故 Dx 需要同时接 4 个三态门,分别用 L_RD、L_WR、R_RD 和 R_WR 信号线来控制,从而实现单套数据总线扩展成两套数据总线. 其余数据线和其余地址线的扩展方法同上.

3 设计方案仿真结果

3.1 实验仿真

CPLD 的图形化设计和仿真操作均在 MAX + plus II 10.2 BASELINE 工具软件中进行,仿真结果如图 4 所示. 对两套总线的读写操作进行仿真,地址线选择 A0_L 和 A0_R,数据线选择 D0_L、D0_R、D7_L 和 D7_R,仿真结果表明: 控制总线、状态线、地址线、数据线的时序符合设计要求,读写结果非常正确. 此外,图 4 中仿真发生访问冲突时的时序(见图中时间轴在 280 ns 至 300 ns 的区域), 此时产生的 I/C/S 为高电

平,访问 RAM 无效,从而避免访问冲突. 仿真结果表明,该设计方案是切实可行.

3.2 时序延迟

如图 5 所示,由于 EPM7128AELC84 - 10 芯片对时间脉冲有 5 ns 延迟,输入脉冲 R_CS、R_WR 在第 10 ns 到第 30 ns,而输出脉冲 /C/S、/W/R 在第 15 ns 到 35 ns,产生了时间延迟. 综合起来,在读写控制信号的时间宽度最小为 20 ns 的情况下,数据总线 D0 的脉冲宽度略大于 10 ns,正好满足 IS61LV5128 静态 RAM 芯片的数据总线的时序要求,相邻两次读写时间间隔最小为 25 ns,因此,数据总线的最大传输带宽为 40 MHz,传输速率为 320 Mb/s.

4 应用实例

高速数字存储式示波器通过提高模数转换的采样速率来扩大示波器的实时带宽. 系统采用了微处理器控制系统,可以对波形数据进行存储、处理和显示,主要用于周期性信号的采样,也可以对非周期信号进行单次采样,信号波形细节部分的清晰程度(信号突变、毛刺现象)则依赖于双端口 RAM 的容量和采样速率,容量越大,采样速率越高,则细节部分越清晰.

4.1 高速数字存储式示波器的应用框图

如图 6 所示,模拟信号调理模块主要实现模拟信号的衰减或放大,提供给模数转换模块适合的信号电压;模数转换模块负责把模拟信号转换成数字信号;双端口 RAM 接受从高速模数转换模块来的数字信号;处理器模块负责从双端口 RAM 中取出数字信号,并进行相关的数字信号处理;显示模块在控制器的控制下显示信号的波形图.

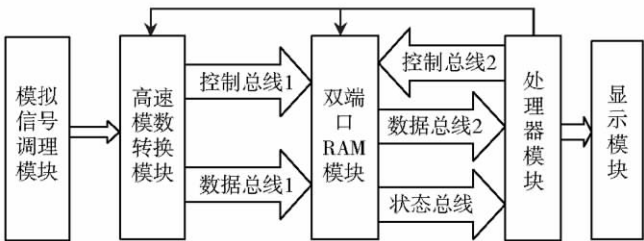


图 6 双端口 RAM 典型的应用框图
Fig.6 Typical application of dual-port RAM

4.2 工作流程

模拟信号经调理后,由高速模数转换模块转换成数字信号,在高速模数转换模块产生控制总线时序配合下,数据经数据总线写入双端口 RAM 模块,当写满 512 k 字节后,双端口 RAM 通过状态总线输出有效的状态量,有效状态量被处理器模块捕获后,则处理器开始从双端口 RAM 读数据,读完后通过控制总线对状态量复位,同时通知高速模数转换模块开始下一批次的数据采集,如此反复,从而实现周期性信号的数据采集.

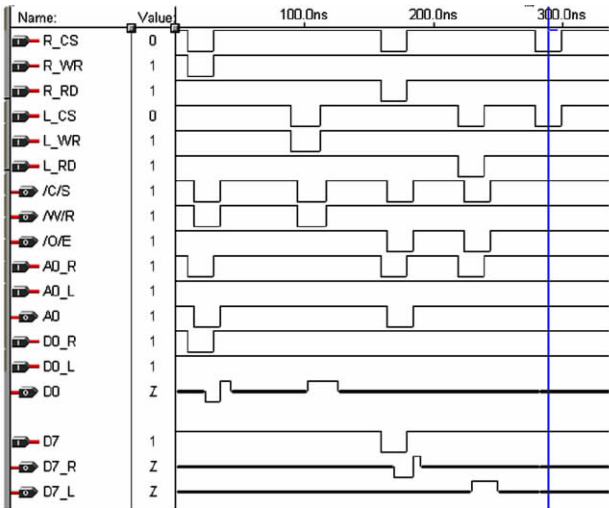


图 4 总线扩展仿真结果
Fig.4 Simulation result of extending of bus

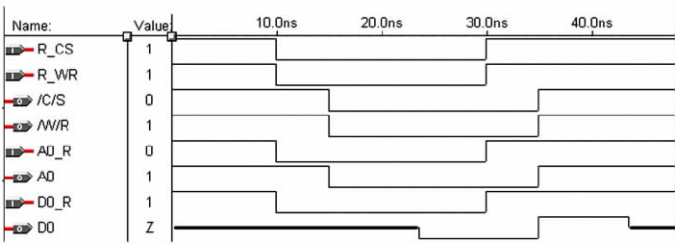


图 5 写一次数据的时间延迟情况
Fig.5 Time delay of one writing operation

5 结语

本文提出的双端口 RAM 设计方案主要由 CPLD 芯片和大容量静态 RAM 芯片组成,成本比同性能的双端口 RAM 要大约低 2 倍;最大传输速率为 320 Mb/s,扩展容量为 512 k 字节,解决了相对慢速的处理器与相对高速的数据采集端的数据传输速度匹配问题,用户可方便选择 RAM 的容量和存取时间. CPLD 的选型也非常灵活,方便实现大容量高速双端口 RAM 的快速设计,可快速实现高端仪器的数据采集设备的开发. 方案中双端口不能同时访问 RAM 的访问,需通过状态量来切换,因此是异步双端口 RAM,适合于周期性的信号采集场合(如高速数字示波器等)^[7].

[参考文献](References)

- [1] 方红,丁敏. 惯性仪表数据采集模块的设计与实现[J]. 南京师范大学学报:工程技术版,2005,5(4):22-25.
Fang Hong, Ding Min. The design and realization of a data sampling module for inertial sensors[J]. Journal of Nanjing Normal University: Engineering and Technology Edition, 2005, 5(4): 22-25. (in Chinese)
- [2] 刘黎黎,马文丽,姚文娟,等. 基于 ARM 和 DSP 的嵌入式 ICE 芯片扫描分析系统[J]. 计算机技术与发展,2008,18(8):196-198.
Liu Lili, Ma Wenli, Yao Wenjuan, et al. Integrated capillary electrophoresis chip scanning and analyzing system based on ARM and DSP[J]. Computer Technology and Development, 2008, 18(8): 196-198. (in Chinese)
- [3] 马云峰. 基于 MIMU/GPS 的组合导航计算机设计[J]. 计算机测量与控制,2009,17(3):549-551.
Ma Yunfeng. Design of MIMU/GPS navigation computer[J]. Computer Measurement and Control, 2009, 17(3): 549-551. (in Chinese)
- [4] 唐述宏. 基于 CPLD 的高速高精度数据采集系统设计[J]. 微计算机信息,2008,24(3/2):228-229.
Tang Shuhong. Design of high speed and precision data acquisition system based on CPLD[J]. Microcomputer Information, 2008, 24(3/2): 228-229. (in Chinese)
- [5] 孙宏海,王大伟,纪华,等. 高帧频 DVI 接口彩色 CMOS 数字相机系统设计[J]. 电子测量技术,2008,31(4):179-182.
Sun Honghai, Wang Dawei, Ji Hua, et al. Design of high frame rate DVI color CMOS digital camera system[J]. Electronic Measurement Technology, 2008, 31(4): 179-182. (in Chinese)
- [6] 辛君君,黄松岭,刘立力,等. 基于 FPGA 的超多通道高速数据采集系统设计[J]. 电测与仪表,2008,45(514):33-36.
Xin Junjun, Huang Songling, Liu Lili, et al. Design of super multi-channel and high-speed data acquisition system based on FPGA[J]. Electrical Measurement & Instrumentation, 2008, 45(514): 33-36. (in Chinese)
- [7] 伍翔,张帅,陈冬,等. 基于 FPGA 的双通道示波器[J]. 科技创新导报,2009,25:73.
Wu Xiang, Zhang Shuai, Chen Dong, et al. Design of dual channel oscilloscope based on FPGA[J]. Science and Technology Innovation Herald, 2009, 25: 73. (in Chinese)

[责任编辑:严海琳]