

基于集中抄表的静电放电问题的分析与应用

吴 斌,陶 卫,张 涛,周孟夏,赵 阳,毕 青

(南京师范大学电气与自动化工程学院,江苏 南京 210042)

[摘要] 按照中华人民共和国电力行业标准(DL-0505—2012),耦合放电应通过 8 kV 的静电放电测试.本文围绕集中抄表在进行 8 kV 耦合放电测试中,集中抄表屏幕直接黑屏这一问题,详细分析了问题的成因,并提出具体解决方案,最终验证方案可行.

[关键词] 静电放电,集中抄表,电磁兼容

[中图分类号] TM461;TN03 **[文献标志码]** A **[文章编号]** 1672-1292(2016)03-0010-06

Analysis and Application of the Electrostatic Discharge Problem Based on a Centralized Meter Reading

Wu Bin, Tao Wei, Zhang Tao, Zhou Mengxia, Zhao Yang, Bi Qing

(School of Electrical and Automation Engineering, Nanjing Normal University, Nanjing 210042, China)

Abstract: According to power industry standard of the People's Republic of China(YY-0505-2012), Coupling discharge shall adopt 8 kV electrostatic discharge test. This article relates to the coupling discharge test of the centralized meter reading during 8 kV, the problem of the centralized meter reading screen appears black. This article specifically analyses the causes of the problems, provides programs to solve the problem in detail. At last, it confirms the feasibility of programs.

Key words: electrostatic discharge, centralized meter reading, EMC

近年来,随着电子技术和器件工艺的迅猛发展,各种电子器件的集成度大幅度提高,且实现了低功耗、高可靠、多功能.但电路中的绝缘介质层越来越薄,其互连导线的宽度与间距越来越小,使得电子设备的电磁敏感度提高而抗过压能力下降,电路对各种电磁干扰也变得越来越敏感.静电放电(Electro-Static Discharge, ESD)是一种常见的自然干扰源,可形成高电位、强电场、大电流的特点,其电流波形的上升时间可小于 1 ns,会在极短时间内产生很大的电流变化,对器件和设备形成冲击,并伴随有强电磁辐射,形成 ESD 电磁脉冲(ESD EMP),ESD 电磁脉冲可以直接进入电子设备或通过机箱上的孔隙、连接导线、电源线等耦合进入设备内部的敏感电路上.因此,设备制造方在设计电子设备时,会针对静电放电采取充分的防护措施,且电子设备须通过相关检测才能投入生产使用.在做 ESD 防护措施时,主要从工艺结构、机壳、屏蔽、接地、布线、器件选择等方面考虑^[1-3].

本文从中华人民共和国医药行业标准,采用静电枪对一集中抄表进行耦合放电测试,该电表不能通过电压为 8 kV 的放电测试,电表屏幕出现黑屏现象,针对这一现象,分析了其产生的原因,并采取多种整改措施,最终该款产品能够达到相应的静电抗扰度要求.

1 静电放电的形成机理及等效模型

静电放电(electrostatic discharge, ESD)是两个具有不同静电电位的物体,由于直接接触或静电场感应引起两物体间的静电电荷的转移.静电电场的能量达到一定程度后,击穿其间介质而进行放电的现象就是静电放电.产生静电放电的方式主要有两种,即接触放电和气隙放电.静电放电过程中,电流是变化的,表达

收稿日期:2016-08-01.

基金项目:江苏省教育厅高校科研成果产业化推进项目(JHB2011-20).

通讯联系人:赵阳,教授,博导,研究方向:电磁兼容技术与应用. E-mail: zhaoyang2@163.com

式如下:

$$i(t) = 213(1 - e^{-t/0.62})^8 e^{-t/1.1} + 121(1 - e^{-t/55})e^{-t/26}. \quad (1)$$

国内外众多学者都对静电放电电流波形的数学公式进行了研究探讨,提出了一些静电放电电流表达式.例如,1991年凯南和罗西提出了四指数电流波形表达式:

$$i(t) = I_0(e^{-t/t_1} - e^{-t/t_2}) + I_1(e^{-t/t_3} - e^{-t/t_4}). \quad (2)$$

在式(2)中 I_0, I_1 这两个参数与第一个波峰和上升时间有关,而 t_1, t_2, t_3, t_4 这四个参数则影响了第二个波峰的幅值和其特性.

1998年博格提出了基于高斯函数的电流表达式:

$$i(t) = I_0 e^{-[(t-t_1)/\sigma_1]^2} + I_1 t e^{-[(t-t_2)/\sigma_2]^2}. \quad (3)$$

静电放电可以等效成四种电路模型:人体放电模型、机器放电模型、组件放电模型、电场感应模型^[4-7].本文主要介绍人体放电模型与机器放电模型.人体放电模型反应的是医疗设备在使用过程中使用者所带静电对设备放电的现象.当人体接触电子设备时导致ESD的人体放电模型,等效电路如图1所示,模拟带电人体的电路元件是一个100 pF的电容器串联一个1 500 Ω 的电阻.机器放电模型反应的是ESD测试时静电枪对设备放电的过程.电子设备静电放电抗干扰度检测过程中,静电枪向电子设备打静电时用机器模型来描述,等效电路如图2所示,模拟器件是一个200 pF的电容器,等效电阻为0 Ω .

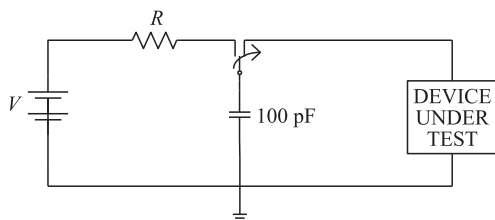


图1 人体模型
Fig.1 Human body model

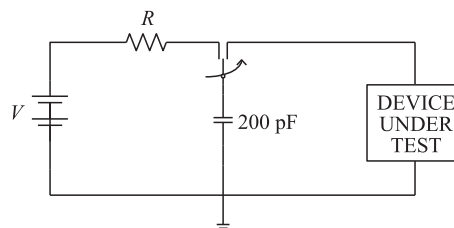


图2 机器模型
Fig.2 Machine model

2 ESD防护方法

静电放电耦合至电子线路共3种方式:

- (1)直接传导;
- (2)电容耦合(电场耦合);
- (3)电感耦合(磁场耦合).

因此电子产品的ESD防护应该围绕这三个耦合方式可以整合成下面的24字方针:静电屏蔽,滤波去藕,绝缘隔离,接地泄放,良好搭接,瞬态抑制^[8].

2.1 PCB的ESD防护

(1)PCB上的引线长度应尽可能缩短,特别是EMI源信号线(如时钟信号线)和敏感信号线(如复位信号线)引线尽量短.

(2)PCB上的所有回路面积都应该尽可能小,因为它们对瞬态ESD电流产生的磁场非常的敏感(这里的回路不仅包含电源与地之间的回路,也包含信号与地之间的回路).

(3)安装在印制板的具有金属外壳的元器件,如复位按钮、晶振、拨码开关等,它们的金属外壳一定要接地.

(4)对安全条件下的双层板,电源线要尽量靠近地线,DIP封装的集成电路,地线走线和+5 V走线要平等放置在两引脚之间.

(5)静电屏蔽:对高频电路、干扰源和静电敏感电路,应实现整板屏蔽或局部屏蔽(良好的接地和完善的屏蔽是静电屏蔽的两个基本要点),屏蔽效果一般用SE来衡量.

SE=Eo/Es(SE=Ho/HsEo),Ho分别为某点无屏蔽时的电场强度和磁场强度;ES,Hs分别为同一点加屏蔽时的电场强度和磁场强度.

(6)PCB 上未使用的那部分要用地平面填满。

(7)滤波去耦:ESD 引起的干扰脉冲是一条按照指数规律衰减的受调试的正弦波,该正弦波包括大量的高频分量。所以,要用滤波器对电源进线和信号进线进行滤波,同时在电源和地之间要用高频电容器进行去耦。

2.2 金属部件和金属外壳接插件的ESD防护

(1)绝缘隔离:阻止 ESD 电流流过电路。对于操作面板上容易跟人体接触的部件应尽可能采用绝缘物来代替金属,也可采用薄膜开关面板;对必须采用金属又与内部电路无关的部件,应在其表面加绝缘层,以此来增加绝缘程度,同时与内部电路(包括地线)保持一定距离,以达到绝缘的效果。

(2)接地泄放:在 ESD 电流流过的路径添加一个泄放通路。对于金属外壳接插件,由于金属外壳离信号芯片只有 2.2 mm,金属外壳上的 ESD 干扰会通过信号芯片进入内部电路。因此,要抑制进入电路的干扰信号,主要采用接地泄放,使得静电荷尽可能快地泄放到静电容量较大的载体上去。

2.3 机壳的ESD防护

产品的静电抗干扰性与其本身的搭接情况紧密相连。机壳导电性能越好,搭接越好,静电泄放越快,静电干扰对产品的影响越小,产品的抗干扰性越好。

(1)工作地、保护地和机壳接地一般单独引线到接地汇集线或接地桩上;对于射频组件,外壳一般作为工作地用。

(2)金属零件要避免有尖锐的边缘,以防二次电弧的发生。

(3)机壳与内部电路要保持一定的距离。

(4)机壳的暴露面最好涂一层绝缘漆。

2.4 采用元器件的ESD防护

瞬态抑制:瞬态抑制二极管即 TVS 是一种新型的抑制器件,对 ESD 可提供快速有效的保护,可在重要的元器件的输入端或接口电路(如 RS232 接口、RS485 接口、EI 接口)加 TVS。

3 集中抄表的ESD问题分析与抑制

3.1 集中抄表的ESD问题描述

按中华人民共和国电力行业标准,耦合放电应通过 8 kV 的静电放电测试。采用静电枪进行耦合放电测试,该集中抄表不能通过电压为 8 kV 的放电测试。如图 3 所示,8 kV 放电时,集中抄表屏幕黑屏无显示。

3.2 集中抄表的ESD问题分析

由如图 4 所示的集中抄表内部 PCB 电路可知,电路中有很多芯片,但缺乏静电防护措施,设备的外壳是塑胶材质,设备的电源没有地线,静电放电时,不能将静电脉冲电流导入大地,也没有器件将静电脉冲电流挡在芯片外部,因此涌入静电脉冲电流的芯片不能正常工作,屏幕不能正常显示。

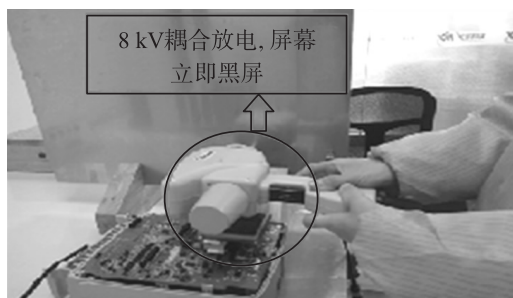


图3 集中抄表在8 kV 放电测试时黑屏

Fig.3 Centralized meter reading black when 8 kV discharge test



图4 集中抄表内部PCB电路

Fig.4 Internal PCB circuit of the centralized meter reading screen

3.3 集中抄表的ESD抑制

抑制过程中,主要采取了2个措施:

(1)在对耦合放电敏感的部位贴铜膜进行屏蔽

耦合放电测试时,带静电的耦合板实际上等效于一个高频电磁波的辐射干扰源,对被测设备造成近场辐射干扰.因此,需要对设备进行屏蔽.由于该集中抄表的外壳材料是塑料,倘若将外壳更改为金属外壳进行屏蔽必将大幅度增加产品的生产成本.故在设备上包覆一层导电薄膜屏蔽.图5为铜膜屏蔽时的等效模型,图6为其等效电路图,当敏感器件被铜箔覆盖时,一方面由于趋肤效应将部分能量反射出去,一方面由于铜箔层可等效为一个等电位体,因而其内部空间的电磁场为零,电压差也为零,从而提高了设备的抗静电干扰性能.在测试过程中,可通过示波器诊断器件、管脚对静电的敏感度,再将其屏蔽.具体措施如图7所示.根据图6可得出电荷量 Q 和等效电容 C 之间有如下关系:

$$U = \frac{Q}{C}. \quad (4)$$

根据式(4),由于设备固定,所以可以看做 C 一定的情况下是不变的,我们可以通过降低 Q 值大小来达到降低 U 的目的,当敏感器件被铜箔覆盖时,一方面由于趋肤效应将部分能量反射出去使得 Q 值降低,一方面由于铜箔层可等效为一个等电位体,因而其内部空间的电磁场为零,电压差也为零,将 Q 值泄放为0,从而提高了设备的抗静电干扰性能.

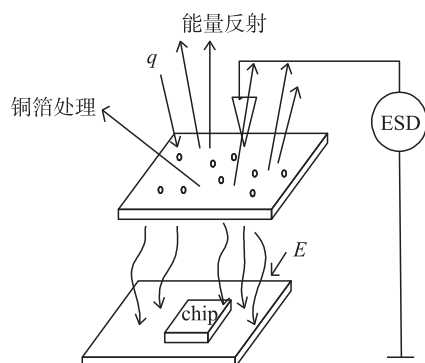


图5 铜膜屏蔽时的等效模型

Fig.5 The equivalent circuit of foil shield

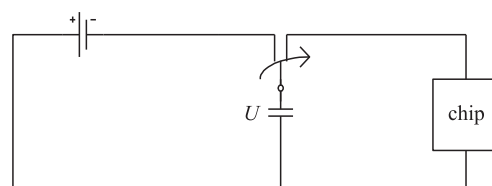


图6 铜箔处理原理图

Fig.6 Principle diagram of the foil processing

(2)在芯片电源端口并联 TVS 防 ESD 脉冲电流^[9-11]

瞬态电压抑制器(Transient Voltage Suppressor,TVS)是一种高效电路保护器件,其响应时间极快,为亚纳秒级,具有很强的静电防护能力^[9-11].TVS 是基于齐纳二极管构成的稳压器件,由半导体材料硅(Si)和碳化硅(SiC)制作而成,其物理结构如图8所示,PN 结的两边由重掺杂的Ⅲ/V 族元素组成.

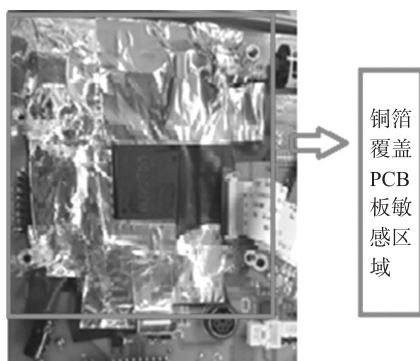


图7 铜箔处理

Fig.7 The foil processing

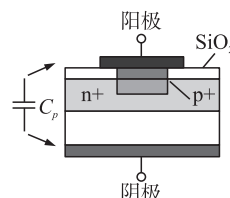


图8 TVS的物理结构

Fig.8 Physical structure of TVS

TVS 在反向应用条件下,当承受一个高能量的大脉冲时,其工作阻抗立即降至极低的导通值,从而允许大电流通过,同时把电压钳制在预定水平,其响应时间仅为10~12 ms,从而可有效地保护电子线路中的精密元器件.因此,TVS 对电子电路具有良好的静电防护作用.通过将 TVS 并联在芯片的电源和地之间,

可以避免静电对芯片的冲击,使其工作正常。

TVS 承受高电压泄放冲击能量时的等效电路如图 9 所示,将其分布阻抗简化后可得到如图 10 所示的 TVS 抑制静电的等效电路图, R_g 是电源内阻,TVS 并联在电源两端,其中电源内阻 R_g 、TVS 静电抑制器的分布阻抗 R_s 以及负载 R_L 之间满足 $R_g > R_s + R_L > R_s$ 这一关系。

分析电路可知负载两端的电压为:

$$V_L = V_{BR} + \frac{R_s V_g}{R_g} \quad (5)$$

根据式(5)我们可以有效的通过 TVS 的钳位

特性使 V_L 稳定在一定的范围内,ESD 干扰形成的瞬态过冲电压和过冲电流传播时会耦合到相邻的到线上,包括电源线、数据线和时钟信号线,会严重危害片上的芯片和半导体器件。鉴于 TVS 管的上述优良特性以及设备中的 PCB 板相对敏感。故采用在显示屏 PCB 板上的时间信号芯片的电源引脚和信号引脚上对地并联 TVS 进行抑制,具体如图 11,其等效示意图如图 12。

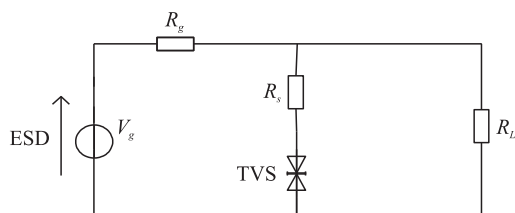
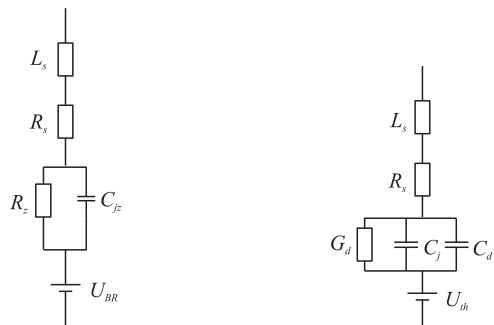


图10 TVS在PCB板工作时的等效电路

Fig.10 Equivalent circuit of TVS worked in PCB



(a)TVS受正电压时的等效电路

(b)TVS受负电压时的等效电路

图9 TVS的等效电路

Fig.9 Equivalent circuit of TVS

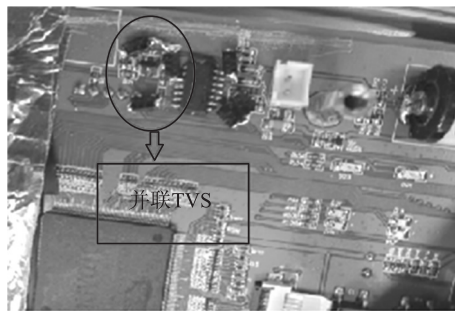


图11 对地并联TVS处理

Fig.11 Processing by parallel TVS to ground

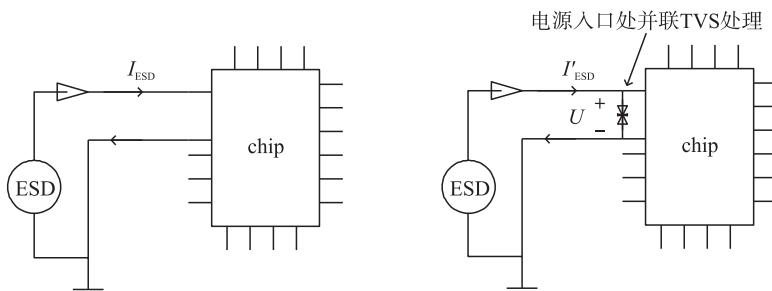


图12 TVS管处理示意图

Fig.12 Schematic diagram of disposing with TVS

4 集中抄表ESD抑制结果

(1)通过采用对耦合放电敏感的部位贴铜膜进行屏蔽这个抑制措施,经过测试,当设备进行如上屏蔽处理后,其耦合放电能力提高到了 7 000 V,故以上措施有效。

(2)通过在芯片电源端口并联 TVS 防 ESD 脉冲电流这个措施,经过测试,当设备进行如上 TVS 处理后,其抗接触放电能力已经提高到 6 000 V 同时其抗空气放电能力提高到了 8 000 V,故以上措施有效,同时设备已通过静电测试。

5 结语

本文结合实际案例,提出了集中抄表的两种 ESD 防护措施:

(1)通过使用铜膜包裹覆盖 PCB 板上的敏感区域,根据趋肤效应将部分能量反射出去,并形成等电位体,使其内部空间的电磁场及电压差都为零,从而达到提高设备的抗静电干扰性能的目的。

(2)在片上的电源处及信号端并联 TVS 静电抑制器,利用 TVS 的稳压性能,能将 ESD 过冲电压降低下来,使 PCB 板及其上面芯片的电源电压维持在正常范围内。

事实证明,以上两种措施能对集中抄表进行 ESD 防护,使其通过 ESD 抗干扰度检测,得以正常生产使用。

[参考文献](References)

- [1] 赵阳,SEE K Y. 电磁兼容基础与应用[M]. 北京:机械工业出版社,2006:1-20.
ZHAO Y,SEE K Y. Fundamental of electromagnetic compatibility and application[M]. Beijing:China Machine Press,2006:1-20. (in Chinese)
- [2] 赵阳,封志明,黄学军. 电磁兼容测试方法与工程应用[M]. 北京:中国电子工业出版社,2010:1-12.
ZHAO Y,FENG Z M,HUANG X J. EMC test methods and engineering applications[M]. Beijing:Publishing House of Electronics Industry,2010:1-12. (in Chinese)
- [3] OTT H W. Electromagnetic compatibility engineering[M]. Hoboken:John Wiley & Sons,Inc,2009:6-42.
- [4] SEKINE T,ASAI H,LEE J S. Unified circuit modeling technique for the simulation of electrostatic discharge (ESD) injected by an ESD generator[J]. Journal of cellular physiology,2012,41(11):340-345.
- [5] POMMERENKE D,FAN J,DREWNIAK J. Simulation challenges in system level electrostatic discharge modeling [C]// International Conference on Wireless Information Technology and Systems,Honolulu,2016.
- [6] BOXLEITNER W. A model of the electrostatic discharge (ESD) event [C]. New Jersey:IEEE,2009:1-7.
- [7] WONG S,HU C,CHAN S. SPICE macro model for the simulation of zener diode current-voltage characteristics [J]. Circuits and devices magazine,1991,7(4):9-12.
- [8] 翟伟锋,王瑞鑫,王小波. 关于电子设备静电放电 (ESD) 防护的设计原则 [J]. 电源世界,2008(1):61-63.
ZHAI W F,WANG R X,WANG X B. About the protection's design principle for electro static discharge of electronics equipments [J]. World of power supply,2008(1):61-63. (in Chinese)
- [9] 罗广孝,崔翔. TVS 静电抑制器等效电路参数估算及应用 [J]. 中国电机工程学报,2013,33(16):204-211.
LUO G X,CUI X. Equivalent circuit parameter estimation and application of TVS electrostatic discharge suppressor [J]. Proceedings of the CSEE,2013,33(16):204-211. (in Chinese)
- [10] LI X,DONG S,YU Z,et al. Transient voltage suppressor based on diode-triggered low-voltage silicon controlled rectifier [C]// Asia-Pacific International Symposium on Electromagnetic Compatibility,Shenzhen,2016.
- [11] DAI S H,LIN C J,KING Y C. Leakage suppression of low-voltage transient voltage suppressor [J]. Transactions on electron devices,2008,55(1):206-210.

[责任编辑:陈 庆]