

基于 FPGA 的高速数据采集控制技术的研究

徐霞, 张强, 罗小彬, 徐寅林

(南京师范大学物理科学与技术学院, 江苏 南京 210023)

[摘要] 传统的数据采集一般都是基于 CPU 控制下的 A/D 转换及数据存储技术. 由于受到 CPU 指令执行时序的限制, 这种控制模式很难突破 1 MHz 以上的数据采样速率. 本文介绍一种基于 FPGA 的高速 A/D 转换、数据采集、存储控制技术. 数据采集系统采用 ALTERA 公司的 FPGA 芯片 EP4CE6E22C8N 为控制器, 产生高速 A/D 转换器及大容量 SDRAM 存储器工作所需要的控制时序信号, 对采集速率可达 100 MHz 的高速 A/D 转换芯片 AD9283 进行采样控制及快速缓存处理. 整个设计在 QuartusII 与 KeilC-51 平台下, 运用 Verilog 语言及 C 语言描述软件编程, 正确实现了 AD9283 转换的工作时序控制及采样的数据存储处理.

[关键词] 高速采样控制, FPGA, A/D 转换

[中图分类号] TN79.2 [文献标志码] A [文章编号] 1672-1292(2016)04-0015-07

A Study on High-Speed Data Acquisition Control Technology Based on the FPGA

Xu Xia, Zhang Qiang, Luo Xiaobin, Xu Yinlin

(School of Physics and Technology, Nanjing Normal University, Nanjing 210023, China)

Abstract: The traditional data acquisition are generally based on CPU under the control of A/D conversion and data storage technology. Due to the limitation of CPU instruction execution time series, this kind of control mode is difficult to break through the above 1 MHz data sampling rate. This paper introduces a kind of high-speed A/D conversion based on FPGA, data acquisition, storage control technology. The data acquisition system adopts FPGA chip EP4CE6E22C8N of ALTERA company as the controller, to produce high-speed A/D converter and the large capacity SDRAM memory work required sequence control signal, the collected rate of up to 100 MHz high speed A/D conversion chip AD9283 sampling control and deal with fast cache. The whole design is on the Quartus II with KeilC-51 platform, by using Verilog language and C language, designs software programming, correctly implements AD9283 transformation work timing control and sampling data storage process.

Key words: high-speed sampling control, FPGA, A/D conversion

随着科学技术的进步, 对数据的采集速率和数据量的要求也越来越高. 许多文献介绍的对 A/D 的控制是以单片机或者微处理器为控制核心^[1-3]. 使用单片机为处理器虽然编程简单、控制灵活, 但数据采集量少、速度慢、控制周期长, 往往无法满足高速及大数据量的数据采集要求, 因而极大地限制了 A/D 高速性能利用. 现代的 FPGA 芯片, 时钟频率一般都可高达 100 MHz 以上, 通过内部开辟 FIFO 缓存, 数据吞吐速率可达 10 M/S 以上. 与单片机或者微处理器相比, 在速度上对 A/D 高速性的限制大大的减少, 在数据传输量上也达到了一个新的高度, 更适用于数字控制系统中直接对高速 A/D 器件进行控制.

本文设计的高速数据采集系统运用了高集成度的 FPGA 芯片 EP4CE6E22C8N. 以其为核心, 对芯片 AD9283 进行数据采集时序控制、数据存储处理控制等, 成功解决了基于单片机控制下的控制信号时序速度慢、大量数据来不及发送和存储的问题. 系统具有灵活性强、通用能力好、易于开发、扩展等优点^[4].

1 系统设计

系统是以 FPGA 为控制器, 产生高速 A/D 转换器及大容量 SDRAM 存储器工作所需要的控制时序信

号,对采集速率可达 100 MHz 的高速 A/D 转换芯片 AD9283 进行采样控制,通过开辟 FIFO1 缓存,将大量数据快速持续地锁存到大容量 SDRAM 存储器中以及对通过 FIFO2 的缓存将 SDRAM 中的数据从串口输出,最后将采集数据运用图像软件恢复. 本设计系统框图如图 1 所示.

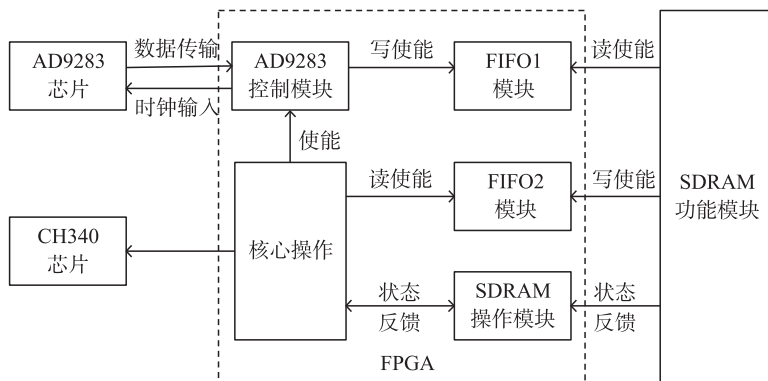


图 1 系统框图

Fig. 1 The system block diagram

1.1 AD9283 芯片介绍

AD9283 是 AD 公司生产的 8 位速模数转换器,芯片上有跟踪和保持电路. 它最高采样速率可达到 100 MHz;有高速并行输出接口,具有速度快、功耗低、成本低、体积小、使用方便等特点.

AD9283 的功能模块结构如图 2 所示,其中 T/H 为高性能跟踪保持电路. TIMING 模块对时钟进行处理,REFERENCE 模块为 AD9283 内部提供参考电压模块. 在输出寄存器输出端链接 8 bit 数字输出管脚. OUTPUT STAGING 模块对输入信号进行转换和纠错,通过 8 bit 八缓冲器输出^[5].

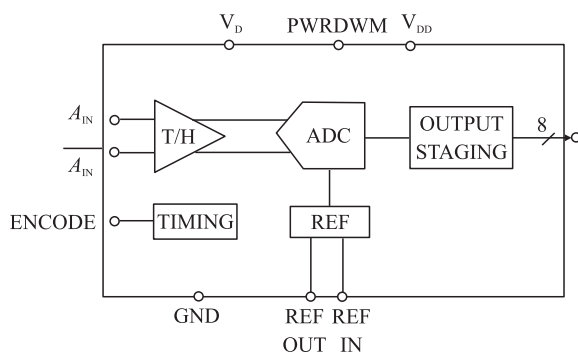


图 2 AD9283 的内部结构图

Fig. 2 AD9283 internal structure diagram

1.2 系统设计原理

本设计采用的 FPGA 芯片 EP4CE6E22C8N 在整个系统中起着“桥梁”作用. 一方面产生 AD 工作所需要的时钟,从 AD 中获取采样值;另一方面开辟 FIFO 缓存将采样数据快速连续地锁存进 SDRAM. 同时还可以实现与单片机的 SPI 通讯,根据单片机的要求实现采样启动、向单片机传输 SDRAM 中存储的数据等功能. FPGA 把 AD 采样及 SDRAM 存储以及单片机这几个器件联系起来协调工作,可以直接解决由于单片机速度慢、内存小而引起大量数据发送不及时和数据接收没有地方缓存的问题.

1.2.1 FPGA 与 AD9283 的接口设计

FPGA 采用虚拟的 ADC 接口与 AD9283 进行通信. FPGA 对 AD9283 的控制,主要通过对它的片内 8 个寄存器进行设置,而对每个寄存器的设置都要通过对通信寄存器的写操作开始. 从 AD9283 时序图(如图 3 所示)可知,AD9283 控制模块需要 100 MHz 的时钟信号 CLOCK 以及时钟信号十分频的 AD-CLK 时钟信号. 当 AD9283 控制模块的 AD-EN 信号为高电平且 AD-CLK 时钟信号也为高电平时,AD9283 控制模块开始采集数据,并把数据放在 AD9283 自带的存储区中. 等 8 bit 数据采集完后,等待 CLOCK 的下一个上升沿来时,同时 AD-RD 信号为高电平,将采集的数据发送出去,所有的这些时钟信号、控制信号均要由 FPGA 提供.

为了提供 AD9283 工作所需的时序信号,且能够存储采样期间高速产生的大量数据,系统在 FPGA 内部开辟了 FIFO1 和 FIFO2 两个存储区,FIFO1 是向 SDRAM 中写数据时对 AD 采样值进行缓存,FIFO2 是读取 SDRAM 值通过串口输出时的缓存. 当 AD9283 采集完一组数据后,控制模块将 AD-RD 设为 1 即开启 FIFO1 的写入请求,将采集的数据传送到 FIFO1 中,等 FIFO1 中存满一行即 512 个数据时,FPGA 给 FIFO1 一个读请求,同时突发 SDRAM 的一行写操作. 从 SDRAM 中读出数据,实则是写操作的一个逆过

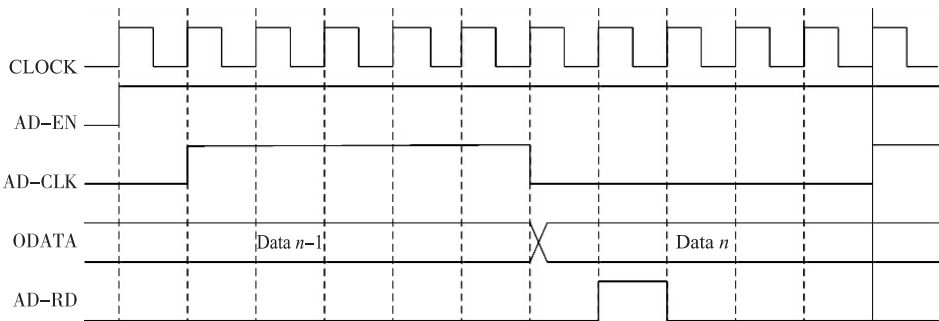


图 3 AD9283 的工作时序图

Fig. 3 Working sequence diagram of AD9283

程. 当 SDRAM 存完所有的数据时, FPGA 给 SDRAM 一个读操作, 同时给 FIFO2 的一个写入请求, 将 SDRAM 中的数据传送给 FIFO2 缓存, 再通过 FPGA 的串口输出^[6].

1.2.2 FPGA 与 SDRAM 的接口设计

系统通过 SDRAM 来存储大量数据. SDRAM 读取数据的理想时序为: 第一个时钟信号的上升沿发送数据, 第二个时钟的上升沿锁存数据, 如图 4(a) 所示. 但理想时序, 一般只能在 FPGA 内部实现. 对于涉及 FPGA 外部的活动时, 理想时序必须要考虑外部的情况即为物理时序, SDRAM 读取数据的物理时序为: 第一个时钟信号的上升沿发送数据, 数据经由 TDATA 延迟, 在第二个时钟的上升沿锁存数据, 如图 4(b) 所示. 在本设计中运用的 Verilog 语言描述 SDRAM 读取数据的时序, 对物理时序中的延时时间无法进行描述^[7], 从而系统采用时钟向位不同的方法即在向 FPGA 提供时钟信号时, 采用了向位为 -180° 的 CLOCK1 来达到延时的效果. 在实际的系统测试中, 存在物理路径的影响, 为了得到完整的数据, 又将向位为 -180° 的 CLOCK1 进行了 -30° 的修正, 即最终时钟信号由向位为 -210° 的 CLOCK1 和向位为 0° 的 CLOCK2 来提供, 具体 SDRAM 读取数据时序如图 4(c) 所示.

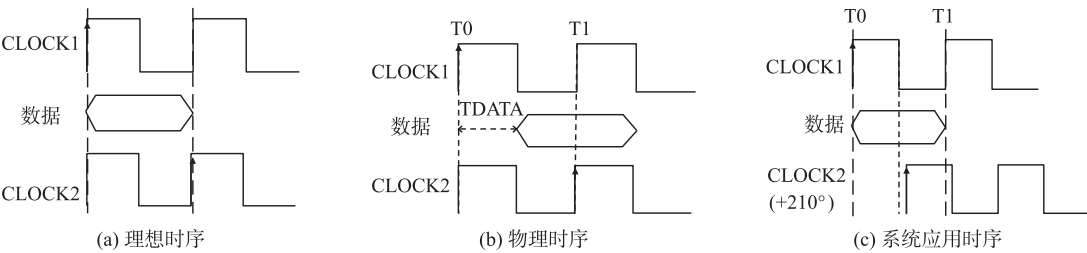


图 4 SDRAM 读取数据时序

Fig. 4 Reading data sequence by SDRAM

FPGA 对 SDRAM 控制实则是对 SDRAM 的 rCMD 操作来完成数据存储, rCMD 包括 CKE、CS、RAS、CAS、及 WE 的五个管脚, 常用的命令如表 1 所示. 其中主要操作有四种即初始化、刷新、写操作以及读操作.

表 1 常用命令

Table 1 Common commands

| 命令 | CKE | CS | RAS | CAS | WE | 说明 |
|------|-----|----|-----|-----|----|----------------------|
| NOP | 1 | 0 | 1 | 1 | 1 | 空命令 |
| ACT | 1 | 0 | 0 | 1 | 1 | 激活命令, 选择 Bank 地址和行地址 |
| WR | 1 | 0 | 1 | 0 | 0 | 写命令, 开始写数据 |
| RD | 1 | 0 | 1 | 0 | 1 | 读命令, 开始读数据 |
| BSTP | 1 | 0 | 1 | 1 | 0 | 停止命令, 停止读写 |
| PR | 1 | 0 | 0 | 1 | 0 | 预充电命令, 释放选择 |
| AR | 1 | 0 | 0 | 0 | 1 | 刷新命令, 刷新内容 |
| LMP | 1 | 0 | 0 | 0 | 0 | 设置命令, 设置 SDRAM |

初始化操作即令 SDRAM 就绪和设置 SDRAM 内部的 Mode Register. 设置内部内容如表 2 所示, 具体根据系统要求, 设置 SDRAM 的写模式、触发方式以及触发长度. 在本系统中, 对 SDRAM 的写模式采用触发读和触发写、触发方式是顺序读写及触发长度为多字节读写. 而 FPGA 对 SDRAM 的初始化控制时序如

图 5 所示. 根据时序,运用 Verilog 语言描述,即可完成对 SDRAM 的初始化操作.

表 2 Mode Register 的内容
Table 2 The content of Mode Register

| Mode Register | | | | | | | | | | | |
|---------------|-----|---------|----|----|----|-------------|----|----|----|--------------|----|
| A12 | A11 | A10 | A9 | A8 | A7 | A6 | A5 | A4 | A3 | A2 | A0 |
| 0 | 0 | OP Code | | 0 | 0 | CAS Latency | | | BT | Burst Length | |

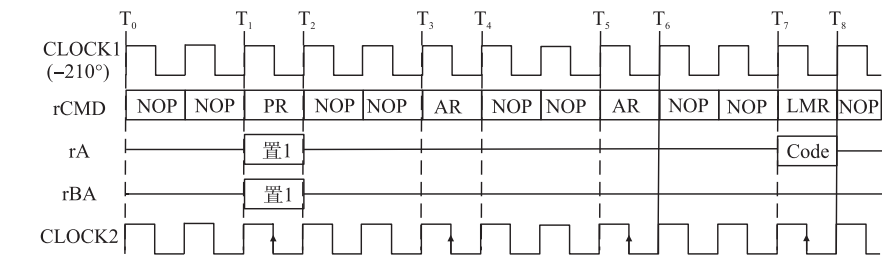


图 5 SDRAM 初始化时序
Fig. 5 Initialization sequence by SDRAM

刷新操作是通过预充电来保持原来的逻辑状态不变. 由于 SDRAM 是电容式存储方式,会放电,放电到一定程度逻辑状态就会发生改变导致 SDRAM 中的数据出错. 定时的刷新是为了存储数据的完整性,系统采集数据容量较大,在 SDRAM 放电完之前无法完成所有数据的采集,即在本系统中采用周期性的刷新来保证数据的完整性. 具体 FPGA 对 SDRAM 刷新时序控制如图 6 所示. 根据时序,运用 Verilog 语言描述,即可完成对 SDRAM 的刷新操作.

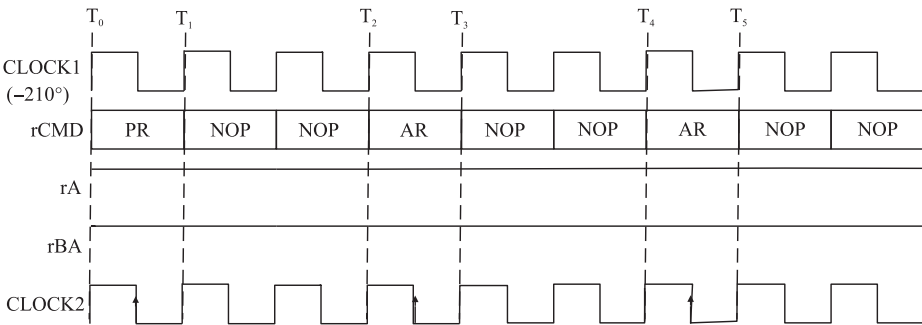


图 6 SDRAM 刷新时序
Fig. 6 Refresh sequence by SDRAM

写操作是 FPGA 通过对 SDRAM 管脚赋写操作命令实现. 一般 SDRAM 的读写方式有单字读写和多字读写,在系统中 FPGA 控制 SDRAM 进行多字读写. 当 FIFO 中存满一行数据时,FPGA 触发一行写操作,过程中须保证完成对 SDRAM 的一行写操作的时间要短于 FIFO 中暂存一行采样值的时间. 在写操作时,需要定期进行刷新操作以至于存储的数据不丢失. FPGA 对 SDRAM 的写操作时序如图 7 所示. 根据时序,运用 Verilog 语言描述,即可完成对 SDRAM 的写操作.

读操作即 FPGA 将 SDRAM 的数据通过 FIFO 读出. 除了将 WR 命令变成 RD 命令外和把 CAS Latency (CL)的值赋为 3 外,其余的操作和写操作相似. 具体 FPGA 对 SDRAM 读操作时序如图 8 所示. 根据时序,

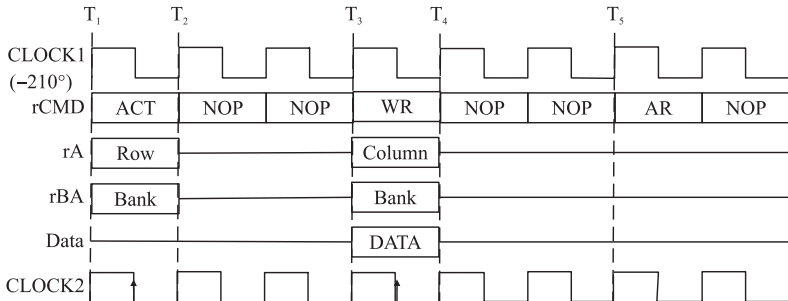


图 7 SDRAM 写操作时序
Fig. 7 Operation sequence written by SDRAM

运用 Verilog 语言描述,即可完成对 SDRAM 的写操作。

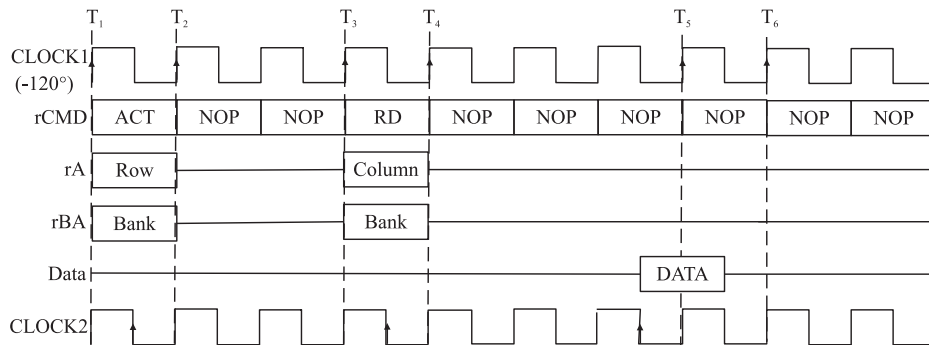


图8 SDRAM 读操作时序

Fig. 8 Operation sequence read by SDRAM

2 FPGA 模块整体设计

整个 FPGA 分为 3 个模块:顶层可控分频模块 PLL、SDRAM 基础模块、AD9283 工作状态控制模块. 其中 SDRAM 基础模块中又包括 SDRAM 操作控制模块、FIFO 模块以及 SDRAM 功能模块. 本设计采用 Quartus II 软件平台下的 Verilog 硬件描述语言进行软件编程. 下面是各个模块的连接图如图 9 所示.

本设计时钟采用 50 MHz 有源晶振,当输入到芯片 EP4CE6E22C8N 后,经过编程分频成 100 kHz 向位为 -210° 的 CLOCK1 和 100 kHz 向位为 0° 的 CLOCK2. CLOCK1 提供给 SDRAM 基础模块和 AD9283 工作状态控制模块时钟信号,CLOCK2 提供给 SDRAM 芯片时钟信号^[8].

在各个模块中,AD9283 控制模块实现了对数据采集的控制,而 SDRAM 基础模块则是高速数据采集的关键. SDRAM 基础模块又包含了两个 FIFO 模块、SDRAM 操作控制模块以及 SDRAM 功能模块,其中 FIFO1 模块是数据读入 SDRAM 过程中的暂存区,即 AD9283 控制模块完成 AD 的数据采集后,将采集的数据放入在 FIFO1 中,等 FIFO1 采满 512 个数据时,SDRAM 的控制模块会向 SDRAM 功能模块突发一行写

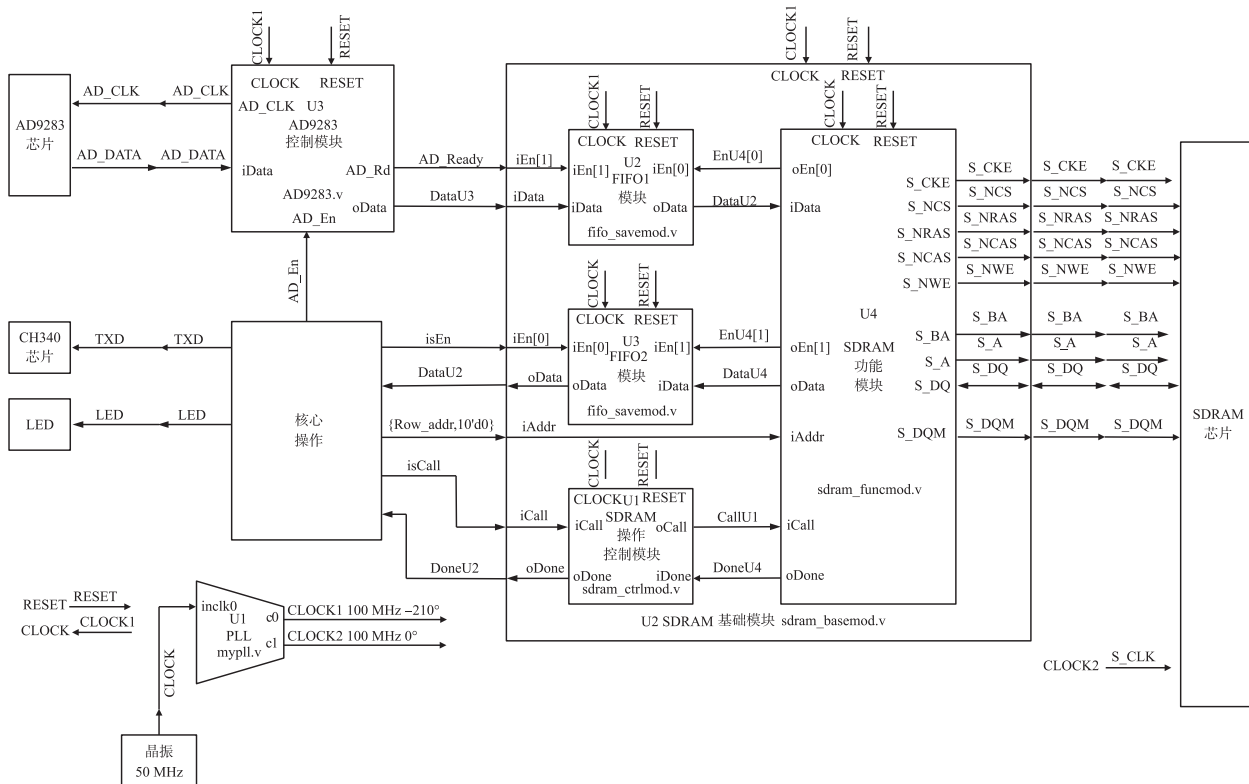


图9 各个模块的连接图

Fig. 9 Connection diagram of each module

操作,就可将采集的数据存储在 SDRAM 中. 等 SDRAM 存储完数据后,SDRAM 控制模块会向 SDRAM 功能模块突发一行读操作,将 SDRAM 中的数据读取出来,并将读取的数据通过 FIFO2 的缓存,再通过串口输出,从而完成了高速数据的采集.

3 实验结果

利用一般的单片机或 CPU 来控制 AD 转换器,实现数据的连续采集,不仅难以产生高速 AD 所需的时序控制信号,也会导致采集的数据由于过多而来不及发送或来不及接收使数据丢失. 本系统运用 FPGA 开辟了 FIFO 来作数据缓存,这样即使有 10 M 的数据也能通过开辟的 FIFO 缓存,完整地把采集数据保存到 SDRAM 中,很好地保证了大量数据传输的完整性. 系统在测试时,运用 DG1022U 信号发生器分别产生 V_{pp} 为 1 V,频率为 100 kHz 的正弦波、三角波以及方波. 信号接至本文设计的高速数据采集系统,数据采集系统的采样速率是为 100 MHz. 此外,除了运用到调试硬件外,还需要两台 PC 机. 一台 PC 机进行程序下载和编译,而另一台把通过 FIFO2 读出 SDRAM 中的数据,利用 FPGA 的串口芯片 CH340 输出在串口调试助手 XCOM V2.0 中接收数据. 把串口接收到的数据运用 turboc2 转换成十进制数,最后运用 Origin 绘图软件将保存的数据进行绘图. 在 Origin 中,以时间为横轴,幅值为纵轴绘出 100 kHz 正弦波、三角波和方波分别如图 10 所示.

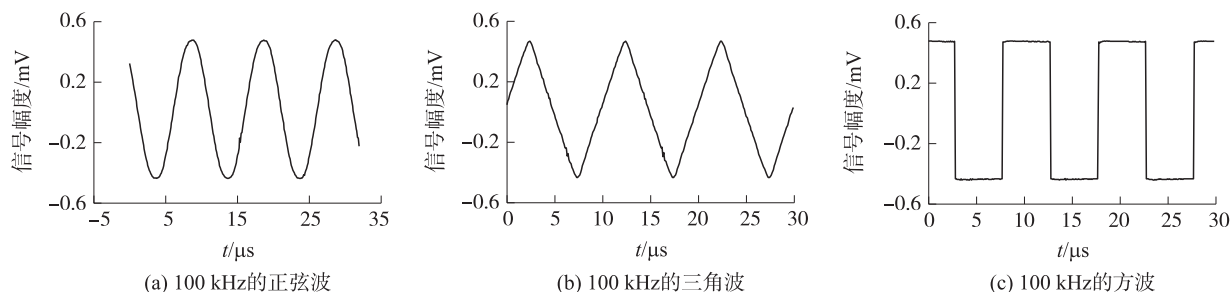


图 10 3 种波形数据采样实验结果

Fig. 10 Experimental results of three waveform data sampling

从数据采集实验结果可看出,采样得到的实验数据能够完全还原信号波形,没有数据漏检及失真情况发生.

4 结语

采用 FPGA 芯片 EP4CE6E22C8N 实现对 AD9823 转换器的采样控制. 一方面,结合了 FPGA 灵活的编程方式,简单方便的编程环境,易学易用,大大提高工作效率,缩短研制周期;另一方面,也充分利用了 FPGA 的高速度和高可靠性以及 AD9823 的高精度性,能直接从传感器接收低电平信号并输出串行数字,从而实现了微弱信号采集和控制等问题. 因此,在低频小信号处理和实时监控等方面,本设计具有一定的实用性.

[参考文献] (References)

- [1] 朱高中. 基于单片机的粮仓温湿度远程监控系统的设计[J]. 湖北农业科学, 2013, 52(3): 677-680.
ZHU G Z. Research on single-chip-based granary temperature and humidity remote control system[J]. Hubei agricultural sciences, 2013, 52(3): 677-680. (in Chinese)
- [2] 卢丽君. 基于 TLC1543 的单片机多路采样监测系统设计[J]. 仪器仪表与分析监测, 2007(4): 5-6.
LU L J. Design of single chip micro controller multi-way sampling monitoring system based on TLC1543[J]. Instrumentation analysis monitoring, 2007(4): 5-6. (in Chinese)
- [3] 刘军, 杨玉国. 提高单片机控制的 AD 转换器采样频率[J]. 电测与仪表, 2000, 37(6): 36-38.
LIU J, YANG Y G. To multiply the sample rate of AD converter under MCS51 control[J]. Electrical measurement & instrumentation, 2007, 37(6): 36-38. (in Chinese)

- [4] 户国强,房建东,郭春兰. 基于 FPGA 的 A/D 转换采样控制模块设计[J]. 微计算机信息,2008(20):229.
HU G Q,FANG J D,GUO C L. A design of the A/D conversion sampling control module based on FPGA[J]. Microcomputer information,2008(20):229.(in Chinese)
- [5] 吴芝路,杨水旺,任广辉. 高速模数转换器 AD9283 在中频数字接收机中的应用[J]. 电子器件,2007,30(3):1 088-1 094.
WU Z L,YANG S W,REN G H. ADC AD9283 with high speed in application to intermediate frequency digital receiver[J]. Chinese journal of electron devices,2007,30(3):1 088-1 094.
- [6] 辛凤艳,孙晓晔. 基于 FPGA 的 AD 转换控制器设计[J]. 中国科技信息,2012(5):78-79.
XIN F Y,SUN X Y. A design of the A/D conversion control module based on FPGA[J]. China science and technology information,2012(5):78-79.(in Chinese)
- [7] 夏宇闻. Verilog 数字系统设计教程[M]. 北京:北京航空航天大学出版社,2008.
XIA Y W. Tutorial verilog digital system design[M]. Beijing:Beijing Aerospace University Press,2008.(in Chinese)
- [8] 黄容兰,万德焕. 基于 FPGA 的 A/D 转换采集控制模块设计[J]. 数据采集与处理,2009(S1):237-240.
HUANG R L,WAN D H. Design of A/D conversion sampling control module based on FPGA[J]. Journal of data acquisition and processing,2009(S1):237-240.(in Chinese)

[责任编辑:陈 庆]